

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-261038

(43)Date of publication of application : 24.09.1999

(51)Int.Cl. H01L 27/115
 G11C 16/04
 H01L 21/76
 H01L 21/8247
 H01L 29/788
 H01L 29/792

(21)Application number : 10-059571

(71)Applicant : SONY CORP

(22)Date of filing : 11.03.1998

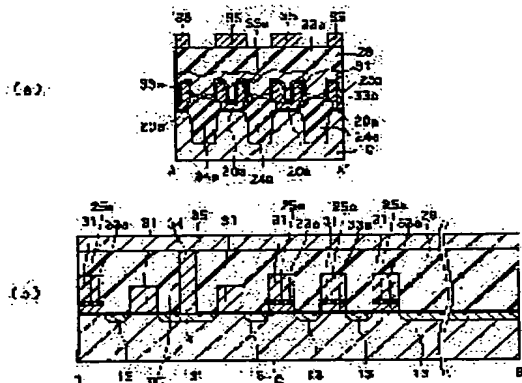
(72)Inventor : IKEDA TADASHI

(54) SEMICONDUCTOR NONVOLATILE STORAGE DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor nonvolatile storage device, which is enhanced in the quality and uses an] cell suitable to an increase in an integration, and a method of manufacturing the device.

SOLUTION: A semiconductor nonvolatile storage device is manufactured into a constitution, wherein the device has a memory transistor having a semiconductor substrate 10 having channel formation regions, element isolation insulating films 24a buried in grooves formed in the substrate so as to element-isolate channel formation regions, tunnel insulating films 20a formed on the upper layers of the channel formation regions, floating gates 33a, which are formed on the upper layers of the films 20a and respectively have at least the opposed two end parts formed higher than that between these end parts, intermediate insulating films 25a formed in such a way as to cover the whole surfaces of the gates 33a, control gates 31 formed on the upper layers of the films 25a and source and drain regions 13 and 13' formed in connection with the channel formation regions.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261038

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/115

H 0 1 L 27/10

4 3 4

G 1 1 C 16/04

G 1 1 C 17/00

6 2 2 E

H 0 1 L 21/76

H 0 1 L 21/76

L

21/8247

29/78

3 7 1

29/788

審査請求 未請求 請求項の数16 O L (全 35 頁) 最終頁に続く

(21) 出願番号

特願平10-59571

(22) 出願日

平成10年(1998) 3月11日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 池田 直史

東京都品川区北品川 6 丁目 7 番 35 号 ソニ

ー株式会社内

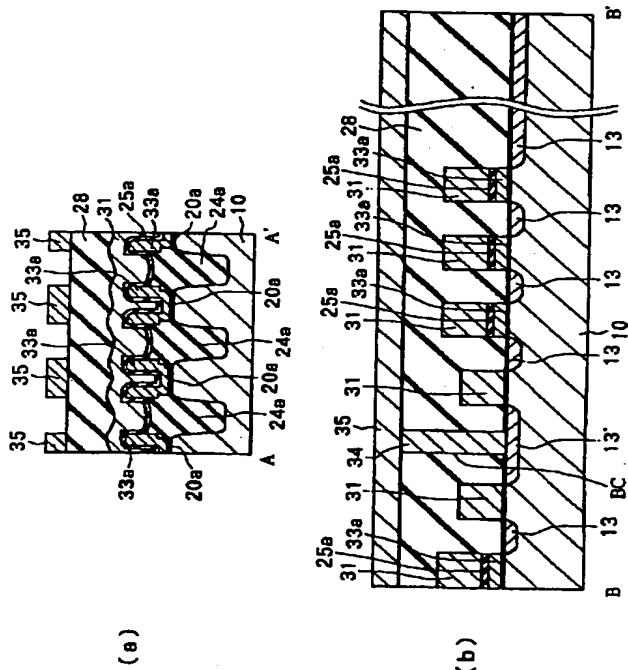
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体不揮発性記憶装置およびその製造方法

(57) 【要約】

【課題】品質を向上して、高集積化に適した S A - S T I セルを用いた半導体不揮発性記憶装置およびその製造方法を提供する。

【解決手段】チャンネル形成領域を有する半導体基板 1 0 と、チャンネル形成領域を素子分離するように半導体基板に形成された溝に埋め込まれた素子分離絶縁膜 2 4 a と、チャンネル形成領域の上層に形成されたトンネル絶縁膜 2 0 a と、トンネル絶縁膜の上層に形成され、少なくとも対向する 2 つの端部が、当該端部間よりも高く形成されたフローティングゲート 3 3 a と、フローティングゲートを全面に被覆して形成された中間絶縁膜 2 5 a と、中間絶縁膜の上層に形成されたコントロールゲート 3 1 と、チャンネル形成領域に接続して形成されたソース・ドレイン領域 1 3、1 3' とを有するメモリトランジスタを有する構成とする。



1

【特許請求の範囲】

【請求項 1】素子分離領域をフローティングゲートの幅方向の端部に自己整合的に形成する工程を有する半導体不揮発性記憶装置の製造方法において、

半導体基板上にトンネル絶縁膜とするゲート酸化膜を形成する工程と、

前記フローティングゲートとする、不純物を含む多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜上に第 1 の絶縁膜を形成する工程と、

少なくとも前記第 1 の絶縁膜および前記多結晶シリコン膜をパターンニングして、前記フローティングゲート用パッド部を形成する工程と、

少なくとも前記フローティングゲート用パッド部の前記多結晶シリコン膜側壁に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜が形成された前記フローティングゲート用パッド部をマスクとして、異方性プラズマエッチング法により、前記半導体基板表面部に素子分離用溝を形成する工程と、

熱酸化法により、前記素子分離用溝表面を酸化し、前記素子分離用溝側壁の上部に形成された酸化膜と前記半導体基板との界面位置が、前記フローティングゲート用パッド部側壁と前記第 2 の絶縁膜との界面位置よりメモリセルのチャネル中央部側になるような膜厚の熱酸化膜を形成する工程とを有することを特徴とする半導体不揮発性記憶装置の製造方法。

【請求項 2】前記第 1 の絶縁膜は、CVD 法により堆積する SiO_2 膜であることを特徴とする請求項 1 に記載の半導体不揮発性記憶装置の製造方法。

【請求項 3】前記第 2 の絶縁膜は、前記多結晶シリコン膜側壁を熱酸化して形成する熱酸化膜および高温 CVD 法により堆積する SiO_2 膜のうち、いずれか一方の酸化膜と、CVD 法により堆積する酸化防止用絶縁膜とで構成したものであることを特徴とする請求項 1 に記載の半導体不揮発性記憶装置の製造方法。

【請求項 4】前記酸化防止用絶縁膜は、減圧 CVD 法により堆積する Si_3N_4 膜であることを特徴とする請求項 3 に記載の半導体不揮発性記憶装置の製造方法。

【請求項 5】素子分離領域をフローティングゲートの幅方向の端部に自己整合的に形成する工程を有する半導体不揮発性記憶装置の製造方法において、

半導体基板上にトンネル絶縁膜とするゲート酸化膜を形成する工程と、

前記フローティングゲートとする、不純物を含む多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜上に第 1 の絶縁膜を形成する工程と、

少なくとも前記第 1 の絶縁膜および前記多結晶シリコン膜をパターンニングして、前記フローティングゲート用パ

2

ッド部を形成する工程と、

少なくとも前記フローティングゲート用パッド部の前記多結晶シリコン膜側壁に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜が形成された前記フローティングゲート用パッド部をマスクとして、等方性プラズマエッチング法、および等方性プラズマエッチングと異方性プラズマエッチングを組み合わせたプラズマエッチング法のうち、何れか一方の方法を用いて前記半導体基板をエッチングし、前記エッチングにより形成される溝側壁の上部位置が、前記フローティングゲート用パッド部側壁と前記第 2 の絶縁膜との界面位置よりメモリセルのチャネル中央部側の位置となるまでエッチングすることで素子分離用溝を形成する工程と、

熱酸化法により、前記素子分離用溝表面に熱酸化膜を形成する工程とを有することを特徴とする半導体不揮発性記憶装置の製造方法。

【請求項 6】前記第 1 の絶縁膜は、CVD 法により形成する SiO_2 膜であることを特徴とする請求項 5 に記載の半導体不揮発性記憶装置の製造方法。

【請求項 7】前記第 2 の絶縁膜は、前記多結晶シリコン膜側壁を熱酸化して形成する熱酸化膜であることを特徴とする請求項 5 に記載の半導体不揮発性記憶装置の製造方法。

【請求項 8】チャネル形成領域を有する半導体基板と、前記チャネル形成領域を素子分離するように前記半導体基板に形成された溝に埋め込まれた素子分離絶縁膜と、前記チャネル形成領域の上層に形成されたトンネル絶縁膜と、

前記トンネル絶縁膜の上層に形成され、少なくとも対向する 2 つの端部が、当該端部間よりも高く形成されたフローティングゲートと、

前記フローティングゲートを全面に被覆して形成された中間絶縁膜と、

前記中間絶縁膜の上層に形成されたコントロールゲートと、

前記チャネル形成領域に接続して形成されたソース・ドレイン領域とを有するメモリトランジスタを有する半導体不揮発性記憶装置。

【請求項 9】前記メモリトランジスタが複数個直列に接続されて形成されている請求項 8 に記載の半導体不揮発性記憶装置。

【請求項 10】チャネル形成領域を有する半導体基板上にトンネル絶縁膜を形成する工程と、

前記トンネル絶縁膜の上層に第 1 フローティングゲートを形成する工程と、

前記第 1 フローティングゲートで挟まれた領域において前記半導体基板に素子分離用溝を形成する工程と、

前記素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成する工程と、

3

前記第1フローティングゲートの対向する端部上において前記第1フローティングゲートと接続する1対の第2フローティングゲートを形成する工程と、

前記第1フローティングゲートおよび第2フローティングゲートの上層に中間絶縁膜を形成する工程と、

前記中間絶縁膜の上層にコントロールゲートを形成する工程と、

前記チャネル形成領域に接続するソース・ドレイン領域を形成する工程とを有する半導体不揮発性記憶装置の製造方法。

【請求項11】前記素子分離絶縁膜を形成する工程が、前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、少なくとも前記素子分離用溝の内部に埋め込まれた部分を残して前記絶縁体を除去する工程とを含む請求項10記載の半導体不揮発性記憶装置の製造方法。

【請求項12】前記第1フローティングゲートを形成する工程の後、前記素子分離絶縁膜を形成する工程の前に、前記第1フローティングゲートの上層にマスク層を形成する工程をさらに有し、

前記素子分離絶縁膜を形成する工程においては、前記マスク層および前記第1フローティングゲートで挟まれた領域と前記素子分離用溝を絶縁体で埋め込んで、前記マスク層と略同一の高さの表面を有する素子分離絶縁膜を形成し、

前記素子分離絶縁膜を形成する工程の後、前記第2フローティングゲートを形成する工程の前に、前記第1フローティングゲートおよび前記素子分離絶縁膜に対してエッチング選択比を有するエッチングにより前記マスク層を除去する工程をさらに有し、

前記第2フローティングゲートを形成する工程においては、前記素子分離絶縁膜の側壁面と前記第1フローティングゲートの上面で形成される凹部を型として、前記凹部の側壁部に第2フローティングゲートを形成する請求項10記載の半導体不揮発性記憶装置の製造方法。

【請求項13】前記第2フローティングゲートを形成する工程が、前記素子分離絶縁膜の側壁面と前記第1フローティングゲートの上面で形成される凹部内面を被覆して全面に第2フローティングゲート用層を形成する工程と、前記凹部の側壁面を被覆する部分を残して前記第2フローティングゲート用層を除去する工程とを含む請求項12記載の半導体不揮発性記憶装置の製造方法。

【請求項14】前記第2フローティングゲートを形成する工程の後、前記中間絶縁膜を形成する工程の前に、前記第1および第2フローティングゲートに対してエッチング選択比を有するエッチングにより、前記第2フローティングゲートの形成の際の型とした前記素子分離絶縁膜を上面からエッチングして前記第2フローティングゲートの外壁面の一部を露出させる工程をさらに有する請求項12記載の半導体不揮発性記憶装置の製造方法。

【請求項15】前記素子分離絶縁膜を形成する工程が、

4

前記マスク層および前記第1フローティングゲートで挟まれた領域と前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、前記マスク層および前記第1フローティングゲートで挟まれた領域と前記素子分離用溝の内部に埋め込まれた部分を残して前記絶縁体を除去する工程とを含む請求項12記載の半導体不揮発性記憶装置の製造方法。

【請求項16】前記素子分離用溝を形成する工程の後、前記素子分離絶縁膜を形成する工程の前に、前記素子分離用溝表面に被覆膜を形成する工程をさらに有する請求項10記載の半導体不揮発性記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体不揮発性記憶装置およびその製造方法に関し、さらに詳しくは、フローティングゲート型MOSトランジスタの不揮発性メモリセルを有する半導体不揮発性記憶装置およびその製造方法に関する。

【0002】

【従来の技術】近年、半導体不揮発性記憶装置として、フローティングゲート型MOSトランジスタの不揮発性メモリセルを用いたEPROM(Erasable Programmable Read-Only Memory)、EEPROM(Electrically Erasable Programmable Read-Only Memory)、EEPROMの一つで一括消去法を採る、フラッシュメモリ(Flash Memory)等が盛んに開発され、実用化もなされている。

【0003】上述したフラッシュメモリには、NOR型フラッシュメモリとNAND型フラッシュメモリがあり、前者は一個のフローティングゲート型MOSトランジスタをフラッシュメモリの一つのメモリセルとするもので、後者は複数個、例えばN個のフローティングゲート型MOSトランジスタによるメモリセルを隣接させて配置したNANDセルが一つの単位セルとなっているものである。この様なNAND型フラッシュメモリは、NOR型フラッシュメモリに比べて、ランダムアクセス速度は遅いが、高集積化の面で優れた構成となっているので、高集積化を目指したフラッシュメモリとして、近年盛んに開発され、実用化もなされているものである。

【0004】上記のフローティングゲート型の半導体不揮発性記憶装置の一例の断面図を図14に示す。例えばLOCOS法などにより形成した素子分離絶縁膜24aにより分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜(トンネル絶縁膜)20aが形成されており、その上層に例えばポリシリコンからなるフローティングゲート30bが形成されており、さらにその上層に例えばONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)からなる中間絶縁膜2

5

5 a が形成されている。中間絶縁膜 25 a の上層には、例えばポリシリコンの下側コントロールゲート 31 a とタングステンシリサイドの上側コントロールゲート 31 b からなるポリサイド構造のコントロールゲート 31 が形成されている。また、コントロールゲート 31 の両側部の半導体基板 10 中には図示しないソース・ドレイン拡散層が形成されている。これによりコントロールゲート 31 と半導体基板 10 中のチャネル形成領域の間に、絶縁膜に被覆されたフローティングゲート 30 b を有する電界効果トランジスタを構成する。

【0005】上記の構造を有するフローティングゲート型の半導体不揮発性記憶装置においては、フローティングゲート 30 b は膜中に電荷を保持する機能を持ち、ゲート絶縁膜 20 a および中間絶縁膜 25 a は電荷をフローティングゲート 30 b 中に閉じ込める役割を持つ。コントロールゲート 31、半導体基板 10 あるいはソース・ドレイン拡散層などに適当な電圧を印加すると、ファウラー・ノルドハイム型トンネル電流 (FN 電流) が生じ、ゲート絶縁膜 20 a を通して半導体基板 10 からフローティングゲート 30 b へ電荷が注入され、あるいはフローティングゲート 30 b から半導体基板 10 へ電荷が放出される。

【0006】上記のようにフローティングゲート 30 b 中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。例えば、フローティングゲート 30 b 中に電子を蓄積することでデータの消去を行い、また、フローティングゲート 30 b 中に蓄積した電子を放出することでデータを書き込みすることができる。

【0007】しかしながら、上記の従来のフローティングゲート型の半導体不揮発性記憶装置は、フローティングゲート 30 b と素子分離絶縁膜 24 a との合わせ余裕としてオーバーラップ部分 I を有し、特に LOCOS 法による素子分離絶縁膜はバースピークを有することから素子分離幅が広くなり、分離耐圧が低下するという問題が発生し、セル面積を縮小することが困難となっていた。

【0008】上記の問題点を解決するために、素子分離領域をフローティングゲートの幅方向の端部に自己整合的に形成する SA-STI (Self-Aligned Shallow Trench Isolation) セル構造を有するフローティングゲート型の半導体不揮発性記憶装置が開発された (IEDM Tech. Dig. 1994, pp 61~64 参照)。以下に、例として SA-STI セル構造を有する NAND 型の半導体不揮発性記憶装置について説明する。図 15 (a) はその平面図である。トレンチ型の素子分離絶縁膜 TI で分離されたシリコン半導体基板の活性領域と、ワード線となるコントロールゲート CG とが交差する領域において、コントロールゲート CG とシリ

6

コン半導体基板のチャネル形成領域の間に絶縁膜に被覆されたフローティングゲート FG が形成されている。また、コントロールゲート CG の両側部の基板中にはソース・ドレイン拡散層 SD が形成されている。コントロールゲート CG と半導体基板 10 中のチャネル形成領域の間に絶縁膜に被覆されたフローティングゲート FG を有する電界効果トランジスタであるメモリトランジスタ MT が複数個直列に接続され、NAND 列を構成している。NAND 列の一方の端部には、当該 NAND 列を選択するための選択 MOS トランジスタ ST が形成されており、そのドレイン拡散層はビットコンタクト BC を介して図示しないビット線に接続している。NAND 列の一方の端部にも図示しない選択 MOS トランジスタが形成されており、そのソース拡散層はソース線 S に接続している。

【0009】図 15 (a) の平面図に示す半導体不揮発性記憶装置の等価回路図を図 15 (b) に示す。メモリトランジスタ (MT1a, MT2a, MT3a, ...) が直列に接続されて NAND 列を構成し、本 NAND 列の一方の端部には、当該 NAND 列を選択するための選択 MOS トランジスタ STa が形成されており、そのドレイン拡散層はビットコンタクト BCa を介してビット線 BLa に接続している。NAND 列の他方の端部にも図示しない選択 MOS トランジスタが形成されており、そのソース拡散層は副ソース線 Sa を介して主ソース線 S に接続している。ビット線 BLa には選択 MOS トランジスタ STa' により選択可能なメモリトランジスタ MT1a' などから構成される別の NAND 列も接続している。一方、メモリトランジスタ (MT1b, MT2b, MT3b, ...) もまた直列に接続されて NAND 列を構成し、本 NAND 列の一方の端部には、当該 NAND 列を選択するための選択 MOS トランジスタ STb が形成されており、そのドレイン拡散層はビットコンタクト BCb を介してビット線 BLb に接続され、NAND 列の他方の端部に形成されて図示しない選択 MOS トランジスタのソース拡散層は副ソース線 Sb を介して主ソース線 S に接続している。

【0010】上記の半導体不揮発性記憶装置の図 15 (a) 中の A-A' における断面図を図 16 (a) に、B-B' における断面図を図 16 (b) に示す。図 16 (a) に示すように、トレンチ型の素子分離絶縁膜 24 a により分離された半導体基板 10 の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜 (トンネル絶縁膜) 20 a が形成されており、その上層に例えばポリシリコンからなるフローティングゲート 30 b が形成されており、さらにその上層に例えば ONO 膜 (酸化膜-窒化膜-酸化膜の積層絶縁膜) からなる中間絶縁膜 25 a が形成されている。中間絶縁膜 25 a の上面を被覆して、例えばポリシリコンからなるコントロールゲート (ワード線) 31 が形成されている。また、図 16

7

(b) に示すように、コントロールゲート 31 の両側部の半導体基板 10 中にはソース・ドレイン拡散層 13 が形成されている。これによりコントロールゲート 31 と、半導体基板 10 中のチャネル形成領域との間に絶縁膜に被覆されたフローティングゲート 30b を有する電界効果トランジスタを構成する。各トランジスタは NAND 型に直列接続され、NAND ストリングを構成する。

【0011】上記の NAND ストリングの一方の端部には、例えばメモリセルにおけるコントロールゲート 31 をゲート電極として形成された選択トランジスタが接続されている。選択トランジスタおよび NAND ストリングを構成するメモリトランジスタは例えば酸化シリコンからなる層間絶縁膜 28 に被覆されている。層間絶縁膜 28 には選択トランジスタのドレイン拡散層 13' に達するビットコンタクトホール BC が開口されており、埋め込み電極 34 を介して例えばアルミニウムからなるビット線 35 に接続している。また、上記の NAND ストリングの他方の端部には、図示しない選択トランジスタが接続されて、そのソース拡散層は例えば半導体基板 10 中に拡散層として形成されているソース線に接続している。

【0012】上記の半導体不揮発性記憶装置において、図 16 (a) に示すように、素子分離領域はチャネル幅方向のフローティングゲートの端部に自己整合的に形成した素子分離用溝 (トレンチ) を用いる素子分離法、いわゆるトレンチ素子分離 (SA-STI) 法で形成されたものである。また、図 16 (a) に示すように、素子分離絶縁膜 24a の表面がフローティングゲート 30b の膜厚の半分より下方の位置となっているので、フローティングゲート 30b に対向するコントロールゲート 31 の面積が、フローティングゲート 30b の側壁部の寄与分で大きくなっている。

【0013】上述した SA-STI セルを設計デザインルールの最小加工寸法 (Minimum Feature Size) F で設計すると、上述した SA-STI セルのメモリセルの面積 Z は、図 15 (a) に示すように、理論的な最小面積である、 $Z = 4F^2$ で設計できる。従って、SA-STI セル構造を用い、さらに高集積化に有利な NAND 型の半導体不揮発性記憶装置とすることで、メモリセルの個数を増加させて、このメモリセル部分の面積を増加させれば、ビット線とのコンタクト部と、選択 MOS トランジスタ部と、ソースライン部とを加えた面積がメモリセル部分の面積に比較して無視できる程度にすることができ、最小加工寸法の制限内で最も高集積化したフラッシュメモリが作製できる。

【0014】一方、クォータミクロン程度の最小加工寸法でフローティングゲートを形成して、フローティングゲートの厚みもクォータミクロン程度となると、フローティングゲートのチャネル幅方向の側壁面積が増加し、

8

フローティングゲートとコントロールゲート間の容量結合比の増加に寄与する電極面積を増加させることができる。従って従来のようなフローティングゲートの素子分離領域への張り出し部分を設けなくとも、フローティングゲートに所望の電位を与えるためのコントロールゲートの電圧に関係する、フローティングゲートとコントロールゲートとの容量結合比を所望の値に確保することができる。

【0015】ここで、上述した構成の、SA-STI セルを用いた NAND 型フラッシュメモリである、半導体不揮発性記憶装置の製造方法を、図 17 および図 18 を参照して説明する。まず、図 17 (a) に示すように、NAND 型フラッシュメモリのメモリセル部と周辺回路部等とを分離するための P 型のウェル等が形成されている半導体基板 10 表面に、例えば熱酸化法を用いて、フローティングゲート型 MOS トランジスタのトンネル絶縁膜であるゲート絶縁膜 20 を形成する。その後、例えば減圧 CVD (Chemical Vapor Deposition) 法等により、不純物をドーブしたポリシリコンを堆積させてフローティングゲート用層 30 を形成し、さらにその上層に例えば常圧 CVD 法等により、酸化シリコンを堆積させて第 1 の絶縁膜 21 を形成する。

【0016】次に、図 17 (b) に示すように、フォトリソグラフィ技術を用いて、第 1 の絶縁膜 21 / フローティングゲート用層 30 / ゲート絶縁膜 20 をパターンニングして、素子分離領域の第 1 の絶縁膜 21 / フローティングゲート用層 30 / ゲート絶縁膜 20 を除去し、続いてパターンニングされた第 1 の絶縁膜 21a / フローティングゲート用層 30a / ゲート絶縁膜 20a をマスクとして、半導体基板 10 表面をエッチングし、トレンチ型の素子分離用溝 T を形成する。その後、素子分離用溝 T 形成時のダメージを除去するために、窒素雰囲気中での熱処理を行い、続いてゲート絶縁膜 20a のエッジを保護する意味も含めた熱酸化を行い、素子分離用溝 T の内壁に酸化シリコンからなる素子分離用溝被覆膜 12 を形成する。なお、この熱酸化時に、フローティングゲート用層 30a の側壁も酸化され、酸化シリコンのフローティングゲート被覆膜 26 が形成される。次に、イオン注入法を用い、例えばボロン (B) イオンをイオン注入して、素子分離用溝 T の底部にチャネル阻止層 11 を形成する。

【0017】次に、図 17 (c) に示すように、例えば減圧 CVD 法等により、第 1 の絶縁膜 21a、フローティングゲート用層 30a を被覆して素子分離用溝 T を埋め込んで全面に酸化シリコンを堆積させて、素子分離用層 24 を形成する。

【0018】次に、図 18 (d) に示すように、例えば RIE (反応性イオンエッチング) などのエッチングにより、素子分離用層 24 の表面位置が、フローティングゲート用層 30a の膜厚の半分程度の位置となるまで、

9

素子分離用層 24、第 1 の絶縁膜 21 a およびフローティングゲート被覆膜 26 をエッチバックし、素子分離絶縁膜 24 a を形成する。このエッチングにおいて、フローティングゲート用層 30 a の側面の一部および上面の表面が露出する。次に、図 18 (e) に示すように、フローティングゲート用層 30 a の露出した表面を被覆して ONO 膜 (酸化膜-窒化膜-酸化膜の積層絶縁膜) からなる中間絶縁膜を形成する。次に、図面は省略するが、フォトリソグラフィ技術を用いて、SA-STI セルのメモリセル部以外の中間絶縁膜を除去する。次に、中間絶縁膜の上面を被覆して、例えばポリシリコンからなる下側コントロールゲート 31 a およびタングステンシリサイドの上側コントロールゲート 31 b からなるポリサイド構造のコントロールゲート (ワード線) 31 を形成し、コントロールゲートをマスク 31 としてフローティングゲート用層 30 a および中間絶縁膜をエッチングし、パターン加工されたフローティングゲート 30 b および中間絶縁膜 25 a とする。

【0019】その後は、選択 MOS トランジスタ部のゲート電極の形成、およびソース・ドレイン拡散層を形成するためのイオン注入工程などを行い、常法に準ずる製法により NAND 型フラッシュメモリの周辺回路部の MOS トランジスタを形成し、さらに例えば CVD 法により酸化シリコンの層間絶縁膜 28 を形成し、例えば選択トランジスタのドレイン拡散層 13' に達するコンタクトホール BC の開口、埋め込み電極 34 およびビット線 35 などの配線形成、パッシベーション膜の堆積、パッド開口部の形成等を行って、図 16 (a) に示すような SA-STI セルを用いた NAND 型フラッシュメモリとする。図 16 (a) 中、図 18 (e) に示してある素子分離用溝 T の内壁に形成された酸化シリコンからなる素子分離用溝被覆膜 12 の図示は省略している。

【0020】

【発明が解決しようとする課題】しかしながら、上記の SA-STI セル構造を有するフローティングゲート型の半導体不揮発性記憶装置は、下記の問題から、品質が低下する、あるいは高集積化が困難となるという不都合が生じることがある。

【0021】例えば、図 18 (e) に示す NAND 型フラッシュメモリにおいては、その製造工程中の素子分離用層 T 形成時のダメージを除去するための熱酸化工程で、素子分離用溝 T 内壁部の結晶シリコンの熱酸化膜成長速度と、ポリシリコンからなるフローティングゲート用層 30 a の側壁部の熱酸化膜成長速度との違いにより、素子分離用溝 T の内壁の形成される素子分離用溝被覆膜 12 とフローティングゲート用層 30 a の側壁部に形成されるフローティングゲート被覆膜 26 の膜厚が大きく異なり、図 18 (e) の R 部の拡大図である図 19 (a) に示すように、素子分離用溝被覆膜 12 と半導体

10

部の外側に位置するというオフセットが生じ、フローティングゲート 30 b の幅が、メモリセルの素子分離領域間の幅、即ちメモリセルのチャネル幅より狭くなるという現象が起こる。図面中、X は素子分離用溝 T 側壁面の位置を示す。

【0022】図 19 (a) に示すような素子分離用溝被覆膜 12 と半導体基板 10 の界面位置がフローティングゲート 30 b の端部の外側に位置するというオフセットが生じると、FN 電流を利用して半導体基板 10 からフローティングゲート 30 b への電子注入して、しきい値電圧増加を行ったメモリセルの、記憶データ読み出し時におけるメモリセルのチャネル表面電位分布が、図 19 (b) に示すようなものとなる。このような表面電位分布になると、本来 OFF 状態であるべきメモリセルが、フローティングゲート 30 b の端部において、ソースとドレイン間に電流が流れて ON 状態として読み出されてしまうこととなり、記憶データを正しく読み出せないメモリセル、いわゆる不良メモリセルが発生し、半導体不揮発性記憶装置の品質が低下してしまう。

【0023】また、例えば、上記の半導体不揮発性記憶装置のセル構造においては、コントロールゲートとフローティングゲートの容量結合は、フローティングゲートの上面および一部の側壁部でとられている。このため、メモリセル面積をさらに縮小化していくと、コントロールゲートとフローティングゲートの容量結合比を必要量確保することが困難となってしまう。

【0024】容量結合比が必要量に達していない場合、メモリセルの正常な書き込み動作などを行うことが困難となり、半導体不揮発性記憶装置の品質が低下してしまう。正常な動作を行うためには、ゲート絶縁膜 (トンネル絶縁膜) に FN 電流を発生させてメモリセルデータの書き込みや消去を行う際に、大きな動作電圧が必要となる。電源電圧から動作電圧にまで昇圧させるための昇圧回路の面積の増大を招くので装置の高集積化が困難となり、さらにチップコストの上昇の要因となり、また、昇圧時間がかかることから処理速度の低下の原因となってしまう。

【0025】本発明は、上記事情を考慮してなされたものであり、従って本発明の目的は、品質を向上して、高集積化に適した SA-STI セルを用いた半導体不揮発性記憶装置およびその製造方法を提供することである。

【0026】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体不揮発性記憶装置の製造方法は、素子分離領域をフローティングゲートの幅方向の端部に自己整合的に形成する工程を有する半導体不揮発性記憶装置の製造方法において、半導体基板上にトンネル絶縁膜とするゲート酸化膜を形成する工程と、フローティングゲートとする、不純物を含む多結晶シリコン膜を形成する工程と、多結晶シリコン膜上に第 1 の絶縁膜を形成

10

20

30

40

50

11

する工程と、少なくとも第1の絶縁膜および多結晶シリコン膜をパターンニングして、フローティングゲート用パッド部を形成する工程と、少なくともフローティングゲート用パッド部の多結晶シリコン膜側壁に第2の絶縁膜を形成する工程と、第2の絶縁膜が形成されたフローティングゲート用パッド部をマスクとして、異方性プラズマエッチング法により、半導体基板表面部に素子分離用溝を形成する工程と、熱酸化法により、素子分離用溝表面を酸化し、素子分離用溝側壁の上部に形成された酸化膜と半導体基板との界面位置が、フローティングゲート用パッド部側壁と第2の絶縁膜との界面位置よりメモ

10 セルのチャネル中央部側になるような膜厚の熱酸化膜を形成する工程とを有することを特徴とする。

【0027】また、本発明の半導体不揮発性記憶装置の製造方法は、素子分離領域をフローティングゲートの幅方向の端部に自己整合的に形成する工程を有する半導体不揮発性記憶装置の製造方法において、半導体基板上にトンネル絶縁膜とするゲート酸化膜を形成する工程と、フローティングゲートとする、不純物を含む多結晶シリコン膜を形成する工程と、多結晶シリコン膜上に第1の絶縁膜を形成する工程と、少なくとも第1の絶縁膜および多結晶シリコン膜をパターンニングして、フローティングゲート用パッド部を形成する工程と、少なくともフローティングゲート用パッド部の多結晶シリコン膜側壁に第2の絶縁膜を形成する工程と、第2の絶縁膜が形成されたフローティングゲート用パッド部をマスクとして、等方性プラズマエッチング法、および等方性プラズマエッチングと異方性プラズマエッチングを組み合わせたプラズマエッチング法のうち、何れか一方の方法を用いて半導体基板をエッチングし、エッチングにより形成される溝側壁の上部位置が、フローティングゲート用パッド部側壁と第2の絶縁膜との界面位置よりメモ

40 セルのチャネル中央部側の位置となるまでエッチングすることで素子分離用溝を形成する工程と、熱酸化法により、素子分離用溝表面に熱酸化膜を形成する工程とを有することを特徴とする。

【0028】上記の本発明の半導体不揮発性記憶装置の製造方法によれば、素子分離領域をフローティングゲートの幅方向の端部に自己整合的に形成する工程を有する半導体不揮発性記憶装置を、上述の如き製造方法で作製することで、フローティングゲート用パッド部より形成されるメモ

12

セルのフローティングゲート幅方向のフローティングゲート端部が、素子分離用溝の絶縁膜上方に位置させることができ、従来のような書き込んだ状態（しきい値電圧が大きい状態）にあるメモ

10 セルを読み出す際に、メモセルのチャネルのフローティングゲート端部付近における表面電位低下でソースとドレイン間に電流が流れるという、メモセルの誤動作現象が起こる虞がない。また、上述の如き製造方法を用いると、メモセルのチャネル幅をフローティングゲート幅より小

【0029】また、上記の目的を達成するために、本発明の半導体不揮発性記憶装置は、チャネル形成領域を有する半導体基板と、前記チャネル形成領域を素子分離するように前記半導体基板に形成された溝に埋め込まれた素子分離絶縁膜と、前記チャネル形成領域の上層に形成されたトンネル絶縁膜と、前記トンネル絶縁膜の上層に形成され、少なくとも対向する2つの端部が、当該端部間よりも高く形成されたフローティングゲートと、前記フローティングゲートを全面に被覆して形成された中間絶縁膜と、前記中間絶縁膜の上層に形成されたコントロールゲートと、前記チャネル形成領域に接続して形成されたソース・ドレイン領域とを有するメモリトランジスタを有する。

20 【0030】上記の本発明の半導体不揮発性記憶装置は、コントロールゲートと半導体基板中のチャネル形成領域の間に、絶縁膜に被覆されたフローティングゲートを有する電界効果トランジスタ（メモリトランジスタ）を構成する。コントロールゲート、半導体基板あるいはソース・ドレイン領域などに適当な電圧を印加すると、ファウラー・ノルドハイム型トンネル電流が生じ、フローティングゲートへ電荷が注入され、あるいはフローティングゲートから半導体基板へ電荷が放出される。このようにフローティングゲートに電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。

30 【0031】上記の半導体不揮発性記憶装置は、SA-STI法によって素子分離絶縁膜が形成されており、LOCOS素子分離絶縁膜による素子分離よりもセル面積を縮小することが可能であり、高集積化に適している。さらにフローティングゲートが、少なくとも対向する2つの端部が、当該端部間よりも高く形成された形状であることから、従来の形状のフローティングゲートよりもコントロールゲートとの容量結合比に寄与する表面積を増加させ、コントロールゲートとフローティングゲートの容量結合比を増加させることが可能となる。これにより、メモセル面積を縮小化してもコントロールゲートとフローティングゲートの容量結合比を必要量確保することが可能で、メモセルの書き込み動作などにおいて誤動作を起こして品質を低下させることがなく、また、動作電圧および電源電圧の低下が可能となり、昇圧回路の面積や昇圧時間の増大の抑制が可能となる。従って、品質の高い、高集積化した半導体不揮発性記憶装置を提供することが可能となる。

50

13

【0032】上記の本発明の半導体不揮発性記憶装置は、好適には、前記メモリトランジスタが複数個直列に接続されて形成されている。NAND型などのメモリトランジスタが複数個直列に接続された半導体不揮発性記憶装置は高集積化に有利であり、メモリセルの個数を増加させて、このメモリセル部分の面積を増加させれば、ビット線とのコンタクト部と、選択MOSトランジスタ部と、ソースライン部とを加えた面積がメモリセル部分の面積に比較して無視できる程度にすることができ、最小加工寸法の制限内で最も高集積化した半導体不揮発性記憶装置とすることができる。

【0033】また、上記の目的を達成するために、本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜の上層に第1フローティングゲートを形成する工程と、前記第1フローティングゲートで挟まれた領域において前記半導体基板に素子分離用溝を形成する工程と、前記素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成する工程と、前記第1フローティングゲートの対向する端部上において前記第1フローティングゲートと接続する1対の第2フローティングゲートを形成する工程と、前記第1フローティングゲートおよび第2フローティングゲートの上層に中間絶縁膜を形成する工程と、前記中間絶縁膜の上層にコントロールゲートを形成する工程と、前記チャネル形成領域に接続するソース・ドレイン領域を形成する工程とを有する。

【0034】上記の本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板上にトンネル絶縁膜を形成し、トンネル絶縁膜の上層に第1フローティングゲートを形成し、第1フローティングゲートで挟まれた領域において半導体基板に素子分離用溝を形成し、素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成する。次に、第1フローティングゲートの対向する端部上において前記第1フローティングゲートと接続する1対の第2フローティングゲートを形成する。次に、第1フローティングゲートおよび第2フローティングゲートの上層に中間絶縁膜を形成し、中間絶縁膜の上層にコントロールゲートを形成し、チャネル形成領域に接続するソース・ドレイン領域を形成する。

【0035】上記の本発明の半導体不揮発性記憶装置の製造方法によれば、第1フローティングゲートと、第1フローティングゲートの対向する端部上において第1フローティングゲートと接続する1対の第2フローティングゲートとからフローティングゲートを形成するので、従来の形状のフローティングゲートよりもコントロールゲートとの容量結合比に寄与する表面積を増加させ、コントロールゲートとフローティングゲートの容量結合比を増加させることが可能となる。これにより、メモリセル面積を縮小化してもコントロールゲートとフローティ

14

ングゲートの容量結合比を必要量確保することが可能で、メモリセルの書き込み動作などにおいて誤動作を起こして品質を低下させることがなく、また、動作電圧および電源電圧の低下が可能となり、昇圧回路の面積や昇圧時間の増大の抑制が可能で、品質の高い、高集積化した半導体不揮発性記憶装置を製造することが可能となる。

【0036】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程が、前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、少なくとも前記素子分離用溝の内部に埋め込まれた部分を残して前記絶縁体を除去する工程とを含む。これにより、SA-STI法によるトレンチ型素子分離絶縁膜を形成することができ、セル面積を縮小することが可能である。

【0037】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記第1フローティングゲートを形成する工程の後、前記素子分離絶縁膜を形成する工程の前に、前記第1フローティングゲートの上層にマスク層を形成する工程をさらに有し、前記素子分離絶縁膜を形成する工程においては、前記マスク層および前記第1フローティングゲートで挟まれた領域と前記素子分離用溝を絶縁体で埋め込んで、前記マスク層と略同一の高さの表面を有する素子分離絶縁膜を形成し、前記素子分離絶縁膜を形成する工程の後、前記第2フローティングゲートを形成する工程の前に、前記第1フローティングゲートおよび前記素子分離絶縁膜に対してエッチング選択比を有するエッチングにより前記マスク層を除去する工程をさらに有し、前記第2フローティングゲートを形成する工程においては、前記素子分離絶縁膜の側壁面と前記第1フローティングゲートの上面で形成される凹部を型として、前記凹部の側壁部に第2フローティングゲートを形成する。これにより、第1フローティングゲートと、第1フローティングゲートの対向する端部上において第1フローティングゲートと接続する1対の第2フローティングゲートとからなるフローティングゲートを容易に形成することが可能となる。

【0038】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記第2フローティングゲートを形成する工程が、前記素子分離絶縁膜の側壁面と前記第1フローティングゲートの上面で形成される凹部内面を被覆して全面に第2フローティングゲート用層を形成する工程と、前記凹部の側壁面を被覆する部分を残して前記第2フローティングゲート用層を除去する工程とを含む。これにより、素子分離絶縁膜の側壁面と第1フローティングゲートの上面で形成される凹部を型として、この凹部の側壁部に、第1フローティングゲートの対向する端部上において第1フローティングゲートと接続する1対の第2フローティングゲートを形成することができ

15

【0039】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記第2フローティングゲートを形成する工程の後、前記中間絶縁膜を形成する工程の前に、前記第1および第2フローティングゲートに対してエッチング選択比を有するエッチングにより、前記第2フローティングゲートの形成の際の型とした前記素子分離絶縁膜を上面からエッチングして前記第2フローティングゲートの外壁面の一部を露出させる工程をさらに有する。これにより、第2フローティングゲートの露出させた外壁面の一部もフローティングゲートとコントロールゲートの容量結合比に寄与する表面積とすることができ、容量結合比を増加させることが可能となる。

【0040】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程が、前記マスク層および前記第1フローティングゲートで挟まれた領域と前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、前記マスク層および前記第1フローティングゲートで挟まれた領域と前記素子分離用溝の内部に埋め込まれた部分を残して前記絶縁体を除去する工程とを含む。これにより、これにより、マスク層と略同一の高さの表面を有するようにSA-STI法によるトレンチ型の素子分離絶縁膜を形成することができ、その側壁面を第2フローティングゲートを形成する際の型となる凹部を構成するように形成することができる。

【0041】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離用溝を形成する工程の後、前記素子分離絶縁膜を形成する工程の前に、前記素子分離用溝表面に被覆膜を形成する工程をさらに有する。これにより、素子分離用溝形成時のダメージを除去し、また、ゲート絶縁膜のエッジを保護することができる。

【0042】

【発明の実施の形態】以下、本発明の具体的実施形態につき、添付図面を参照して説明する。なお従来技術の説明で参照した図14～図19中の構成部分と同様の構成部分には、同一の参照符号を付すものとする。

【0043】第1実施形態

本実施形態は、SA-STIセルを用いたNAND型フラッシュメモリである半導体不揮発性記憶装置の製造方法に本発明を適用した形態である。図1(a)はその平面図である。トレンチ型の素子分離絶縁膜TIで分離されたシリコン半導体基板の活性領域と、ワード線となるコントロールゲートCGとが交差する領域において、コントロールゲートCGとシリコン半導体基板のチャンネル形成領域の間に絶縁膜に被覆されたフローティングゲートFGが形成されている。また、コントロールゲートCGの両側部の基板中にはソース・ドレイン拡散層SDが形成されている。コントロールゲートCGと半導体基板10中のチャンネル形成領域の間に絶縁膜に被覆されたフ

16

ローティングゲートFGを有する電界効果トランジスタであるメモリトランジスタMTが複数個直列に接続され、NAND列を構成している。NAND列の一方の端部には、当該NAND列を選択するための選択MOSトランジスタSTが形成されており、そのドレイン拡散層はビットコンタクトBCを介して図示しないビット線に接続している。NAND列の一方の端部にも図示しない選択MOSトランジスタが形成されており、そのソース拡散層はソース線Sに接続している。

【0044】図1(a)の平面図に示す半導体不揮発性記憶装置の等価回路図を図1(b)に示す。メモリトランジスタ(MT1a, MT2a, MT3a, ...)が直列に接続されてNAND列を構成し、本NAND列の一方の端部には、当該NAND列を選択するための選択MOSトランジスタSTaが形成されており、そのドレイン拡散層はビットコンタクトBCaを介してビット線BLaに接続している。NAND列の他方の端部にも図示しない選択MOSトランジスタが形成されており、そのソース拡散層は副ソース線Saを介して主ソース線Sに接続している。ビット線BLaには選択MOSトランジスタSTa'により選択可能なメモリトランジスタMT1a'などから構成される別のNAND列も接続している。一方、メモリトランジスタ(MT1b, MT2b, MT3b, ...)もまた直列に接続されてNAND列を構成し、本NAND列の一方の端部には、当該NAND列を選択するための選択MOSトランジスタSTbが形成されており、そのドレイン拡散層はビットコンタクトBCbを介してビット線BLbに接続され、NAND列の他方の端部に形成されて図示しない選択MOSトランジスタのソース拡散層は副ソース線Sbを介して主ソース線Sに接続している。

【0045】上記の半導体不揮発性記憶装置の製造方法について、図1(a)中のA-A'における断面図により説明する。まず、図2(a)に示すように、NAND型フラッシュメモリのメモリセル部と周辺回路部等とを分離するためのP型のウェル等が形成されている半導体基板10表面に、熱酸化法を用いて、フローティングゲート型MOSトランジスタのトンネル絶縁膜とするゲート絶縁膜20を膜厚約10nm程度形成する。その後、例えば減圧CVD(Chemical Vapor Deposition)法等により、膜厚約400nm程度の不純物をドーブしたポリシリコン膜を堆積させ、フローティングゲート用層30を形成し、次に例えば常圧CVD法等によって酸化シリコンを膜を膜厚約100nm程度に堆積させて、第1の絶縁膜21を形成する。

【0046】次に、図2(b)に示すように、フォトリソグラフィ技術を用いて、第1の絶縁膜21/フローティングゲート用層30をパターンニングして素子分離領域の第1の絶縁膜21/フローティングゲート用層30を除去し、SA-STIセルの素子領域を覆う第1の絶縁

19

膜と、減圧CVD法で形成する、膜厚約8nm程度の窒化シリコン膜と、熱酸化法により、上記窒化シリコン膜を酸化して形成する、膜厚約6nm程度の酸化シリコン膜とで構成するONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）により中間絶縁膜を形成する。次に、図面は省略するが、フォトリソグラフィ技術を用いて、フローティングゲート用パッド部のメモリセル部以外の中間絶縁膜を除去する。次に、中間絶縁膜の上面を被覆して、例えばポリシリコンからなる下側コントロールゲート31aおよびタングステンシリサイドの上側コントロールゲート31bからなるポリサイド構造のコントロールゲート（ワード線）31を形成し、コントロールゲートをマスク31としてフローティングゲート用層30aおよび中間絶縁膜をエッチングし、パターン加工されたフローティングゲート30bおよび中間絶縁膜2.5aとする。

【0053】その後は、選択MOSトランジスタ部のゲート電極の形成、およびソース・ドレイン拡散層を形成するためのイオン注入工程などを行い、常法に準ずる製法によりNAND型フラッシュメモリの周辺回路部のMOSトランジスタを形成し、さらに例えばCVD法により酸化シリコンの層間絶縁膜を形成し、コンタクトホール

の開口、配線形成、パッシベーション膜の堆積、パッド開口部の形成等を行って、SA-STIセルを用いたNAND型フラッシュメモリとする。

【0054】上述したNAND型フラッシュメモリの製造方法においては、図3（f）のP部の拡大図である図4に示すように、素子分離用溝T上部における素子分離用溝被覆膜12と半導体基板10との界面の位置が、フローティングゲート30bの端部の位置よりチャネルの中央部側となっているために、従来例の説明で使用した図19（b）のような書き込みが行われたメモリセルの読み出し時にチャネル幅の周辺における表面電位が低下がなく、従ってソースとドレイン間には電流が流れず、正常なメモリセル動作をする。これにより、品質の高い、高集積化した半導体不揮発性記憶装置を製造することが可能となる。図面中、Xは素子分離用溝被覆膜12を形成する前の素子分離用溝T側壁面の位置を示す。

【0055】また、このメモリセルにおけるフローティングゲートの容量結合比Rは、 $R = C2 / (C1 + C2)$ $\approx (1 + (W1 / (W1 + 2(\Delta W1 + H1)))$ $d2 / d1)^{-1}$ となるので、素子分離用溝被覆膜12を厚くすることで容量結合比Rの向上が可能となる。ここで、C1はフローティングゲート30bと半導体基板10間の容量、C2はフローティングゲート30bとコントロールゲート31間の容量、d1はゲート絶縁膜20aの膜厚、d2は中間絶縁膜2.5aの等価酸化膜厚、W1は図3（f）に示すメモリセルのチャネル幅、H1は図3（f）に示す下側コントロールゲート31aと対向するフローティングゲート30bの側壁の長さ、 $\Delta W1$

20

は図4に示すオフセット幅である。

【0056】第2実施形態

本実施形態は、第1実施形態と同様、SA-STIセルを用いたNAND型フラッシュメモリである半導体不揮発性記憶装置の製造方法に本発明を適用した形態である。本実施形態にかかる半導体不揮発性記憶装置の平面図および等価回路図は、図1（a）および（b）に示す第1実施形態の平面図および等価回路図と同様である。

【0057】本実施形態にかかる半導体不揮発性記憶装置の製造方法について説明する。まず、図5（a）に示すように、NAND型フラッシュメモリのメモリセル部と周辺回路部等とを分離するためのP型のウェル等が形成されている半導体基板10表面に、熱酸化法を用いて、フローティングゲート型MOSトランジスタのトンネル絶縁膜とするゲート絶縁膜20を膜厚約10nm程度形成する。その後、例えば減圧CVD法等により、膜厚約400nm程度の不純物をドーブしたポリシリコン膜を堆積させ、フローティングゲート用層30を形成し、次に例えば常圧CVD法等によって酸化シリコンを膜厚約200nm程度に堆積させて、第1の絶縁膜21を形成する。

【0058】次に、図5（b）に示すように、フォトリソグラフィ技術を用いて、第1の絶縁膜21/フローティングゲート用層30をパターンニングして素子分離領域の第1の絶縁膜21/フローティングゲート用層30を除去し、SA-STIセルの素子領域を覆う第1の絶縁膜21aとフローティングゲート用層30aによるフローティングゲート用パッド部を形成する。なお、第1の絶縁膜21/フローティングゲート用層30のパターンニング時に、素子分離領域のフローティングゲート用層30下の薄いゲート絶縁膜20がエッチングされた状態となってもよい。

【0059】次に、フローティングゲート用パッド部のフローティングゲート用層30aの側壁に、例えば熱酸化法による膜厚約50nm程度の熱酸化膜を形成し、第2の絶縁膜26とする。上述した熱酸化で、フローティングゲート用層30aの上面も酸化が進むが、フローティングゲート用層30a表面には、約200nm程度の第1の絶縁膜21aが形成されているため、フローティングゲート用層30aの膜厚の減少は無視できる。なお、このフローティングゲート用パッド部のフローティングゲート用層30aの側壁に形成する第2の絶縁膜26は、HTO法によって堆積するHTO膜であってもよい。

【0060】次に、図5（c）に示すように、フローティングゲート用層30aの側壁に第2の絶縁膜26が形成されたフローティングゲート用パッド部をマスクとして、半導体基板10の表面部に素子分離用溝Tを形成する。この素子分離用溝Tの形成は、例えばシリコンと酸化膜のエッチング選択比の比較的大きい平行平板型ブラ

ズマエッチング装置により、まず始めにエッチングガス圧力を大きくする等による等方性エッチング条件での等方性プラズマエッチングを行い、素子分離用溝T上部の側壁位置を、フローティングゲート用層30aの側壁の第2の絶縁膜26表面位置より約50nmほどメモリセルのチャネル中央部側にくるようにし、その後エッチングガス圧力を低くする等による異方性エッチング条件での異方性プラズマエッチングにより半導体基板10のエッチングを継続し、約500nm程度の浅い素子分離用溝Tを形成する。なお、上述の横方向へもエッチングを行う素子分離用溝Tの形成は、異方性プラズマエッチング後に等方性プラズマエッチングを行って形成しても、又等方性プラズマエッチングのみで形成してもよい。

【0061】次に、熱酸化法により素子分離用溝T表面を酸化し、素子分離用溝T表面に膜厚約20nm程度の熱酸化膜である素子分離用溝被覆膜12を形成する。その後、イオン注入法を用い、例えばボロン(B)イオンをイオン注入して、素子分離領域の素子分離用溝T底部にチャネル阻止層11を形成する。

【0062】次に、図6(d)に示すように、例えば、TEOSガス等を用いた減圧CVD法により、膜厚約400nm程度の酸化シリコン膜(TEOS膜)を堆積し、素子分離用溝T部やフローティングゲート用層30間を素子分離用層24で埋め込む。

【0063】次に、図6(e)に示すように、素子分離用層24と、フローティングゲート用パッド部の第1の絶縁膜21aおよびフローティングゲート用パッド部側壁の第2の絶縁膜26を、例えばマグネトロン型RIE装置を用いた、第1実施形態と同様なエッチバック条件でエッチバックし、素子分離用層24の表面位置がフローティングゲート用層30aの膜厚の中央より下方で、ゲート絶縁膜20aよりは上方の位置にくる状態とする。

【0064】次に、図6(f)に示すように、例えば高温CVD法により形成する、膜厚約6nm程度のHTO膜と、減圧CVD法で形成する、膜厚約8nm程度の窒化シリコン膜と、熱酸化法により、上記窒化シリコン膜を酸化して形成する、膜厚約6nm程度の酸化シリコン膜とで構成するONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)により中間絶縁膜を形成する。次に、図面は省略するが、フォトリソグラフィ技術を用いて、フローティングゲート用パッド部のメモリセル部以外の中間絶縁膜を除去する。次に、中間絶縁膜の上面を被覆して、例えばポリシリコンからなる下側コントロールゲート31aおよびタングステンシリサイドの上側コントロールゲート31bからなるポリサイド構造のコントロールゲート(ワード線)31を形成し、コントロールゲートをマスク31としてフローティングゲート用層30aおよび中間絶縁膜をエッチングして、パターン加工されたフローティングゲート30bおよび中間絶縁膜25aとす

る。

【0065】その後は、選択MOSTランジスタ部のゲート電極の形成、およびソース・ドレイン拡散層を形成するためのイオン注入工程などを行い、常法に準ずる製法によりNAND型フラッシュメモリの周辺回路部のMOSTランジスタを形成し、さらに例えばCVD法により酸化シリコンの層間絶縁膜を形成し、コンタクトホール、配線形成、パッシベーション膜の堆積、パッド開口部の形成等を行って、SA-STIセルを用いたNAND型フラッシュメモリとする。

【0066】上述したNAND型フラッシュメモリの製造方法においては、図6(f)のQ部の拡大図である図7に示すように、素子分離用溝T上部における素子分離用溝被覆膜12と半導体基板10との界面の位置が、フローティングゲート30bの端部の位置よりチャネルの中央部側となっているために、従来例の説明で使用した図19(b)のような書き込みが行われたメモリセルの読み出し時にチャネル幅の周辺における表面電位が低下がなく、従ってソースとドレイン間には電流が流れず、正常なメモリセル動作をする。これにより、品質の高い、高集積化した半導体不揮発性記憶装置を製造することが可能となる。図面中、Xは素子分離用溝被覆膜12を形成する前の素子分離用溝T側壁面の位置を示す。

【0067】また、このメモリセルにおけるフローティングゲートの容量結合比Rは、 $R = C2 / (C1 + C2) \approx (1 + (W1 / (W1 + 2(\Delta W1 + H1))) \cdot d2 / d1) - 1$ となるので、素子分離用溝Tの横方向へのエッチングを増加させることで容量結合比Rの向上が可能となる。ここで、C1はフローティングゲート30bと半導体基板10間の容量、C2はフローティングゲート30bとコントロールゲート31間の容量、d1はゲート絶縁膜20aの膜厚、d2は中間絶縁膜25aの等価酸化膜厚、W2は図6(f)に示すメモリセルのチャネル幅、H2は図6(f)に示す下側コントロールゲート31aと対向するフローティングゲート30bの側壁の長さ、 $\Delta W2$ は図7に示すオフセット幅である。

【0068】第3実施形態

本実施形態は、第1実施形態と同様、SA-STIセルを用いたNAND型フラッシュメモリである半導体不揮発性記憶装置の製造方法に本発明を適用した形態である。図8(a)はその平面図である。トレンチ型の素子分離絶縁膜T1で分離されたシリコン半導体基板の活性領域と、ワード線となるコントロールゲートCGとが交差する領域において、コントロールゲートCGとシリコン半導体基板のチャネル形成領域の間に絶縁膜に被覆されたフローティングゲートFGが形成されている。また、コントロールゲートCGの両側部の基板中にはソース・ドレイン拡散層SDが形成されている。コントロールゲートCGと半導体基板10中のチャネル形成領域の間に絶縁膜に被覆されたフローティングゲートFGを有

23

する電界効果トランジスタであるメモリトランジスタMTが複数個直列に接続され、NAND列を構成している。NAND列の一方の端部には、当該NAND列を選択するための選択MOSTランジスタSTが形成されており、そのドレイン拡散層はビットコンタクトBCを介して図示しないビット線に接続している。NAND列の一方の端部にも図示しない選択MOSTランジスタが形成されており、そのソース拡散層はソース線Sに接続している。

【0069】図8(a)の平面図に示す半導体不揮発性記憶装置の等価回路図を図8(b)に示す。メモリトランジスタ(MT1a, MT2a, MT3a, ...)が直列に接続されてNAND列を構成し、本NAND列の一方の端部には、当該NAND列を選択するための選択MOSTランジスタSTaが形成されており、そのドレイン拡散層はビットコンタクトBCaを介してビット線BLaに接続している。NAND列の他方の端部にも図示しない選択MOSTランジスタが形成されており、そのソース拡散層は副ソース線Saを介して主ソース線Sに接続している。ビット線BLaには選択MOSTランジスタSTa'により選択可能なメモリトランジスタMT1a'などから構成される別のNAND列も接続している。一方、メモリトランジスタ(MT1b, MT2b, MT3b, ...)もまた直列に接続されてNAND列を構成し、本NAND列の一方の端部には、当該NAND列を選択するための選択MOSTランジスタSTbが形成されており、そのドレイン拡散層はビットコンタクトBCbを介してビット線BLbに接続され、NAND列の他方の端部に形成されて図示しない選択MOSTランジスタのソース拡散層は副ソース線Sbを介して主ソース線Sに接続している。

【0070】上記の半導体不揮発性記憶装置の図8

(a)中のA-A'における断面図を図9(a)に、B-B'における断面図を図9(b)に示す。図9(a)に示すように、トレンチ型の素子分離絶縁膜24aにより分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜(トンネル絶縁膜)20aが形成されており、その上層に例えばポリシリコンからなるフローティングゲート33aが形成されている。ここで、フローティングゲート33aは、少なくとも対向する2つの端部が、当該端部間よりも高く形成された形状となっている。さらにフローティングゲート33aの上層に例えばONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)からなる中間絶縁膜25aが形成されている。中間絶縁膜25aの上面を被覆して、例えばポリシリコンからなるコントロールゲート(ワード線)31が形成されている。また、図9(b)に示すように、コントロールゲート31の両側部の半導体基板10中にはソース・ドレイン拡散層13が形成されている。これによりコントロールゲート31と、半導体基板10

24

中のチャンネル形成領域との間に絶縁膜に被覆されたフローティングゲート30bを有する電界効果トランジスタを構成する。各トランジスタはNAND型に直列接続され、NANDストリングを構成する。

【0071】上記のNANDストリングの一方の端部には、例えばメモリセルにおけるコントロールゲート31をゲート電極として形成された選択トランジスタが接続されている。選択トランジスタおよびNANDストリングを構成するメモリトランジスタは例えば酸化シリコンからなる層間絶縁膜28に被覆されている。層間絶縁膜28には選択トランジスタのドレイン拡散層13'に達するビットコンタクトホールBCが開口されており、埋め込み電極34を介して例えばアルミニウムからなるビット線35に接続している。また、上記のNANDストリングの他方の端部には、図示しない選択トランジスタが接続されて、そのソース拡散層は例えば半導体基板10中に拡散層として形成されているソース線に接続している。

【0072】上記の半導体不揮発性記憶装置において、図9(a)に示すように、素子分離領域はチャンネル幅方向のフローティングゲートの端部に自己整合的に形成した素子分離用溝(トレンチ)を用いる素子分離法、いわゆるトレンチ素子分離(SA-STI)法で形成されたものであり、高集積化に適した構造となっている。また、フローティングゲート33aが、少なくとも対向する2つの端部が、当該端部間よりも高く形成された形状となっており、従来の形状のフローティングゲートよりもコントロールゲートとの容量結合比に寄与する表面積を増加させ、コントロールゲートとフローティングゲートの容量結合比を増加させることが可能となる。これにより、メモリセル面積を縮小化してもコントロールゲートとフローティングゲートの容量結合比を必要量確保することが可能で、メモリセルの書き込み動作などにおいて誤動作を起こして品質を低下させることがなく、また、動作電圧および電源電圧の低下が可能となり、昇圧回路の面積や昇圧時間の増大の抑制が可能となり、品質の高い、高集積化した半導体不揮発性記憶装置である。

【0073】また、各メモリトランジスタが複数個直列に接続された半導体不揮発性記憶装置であるので高集積化に有利であり、メモリセルの個数を増加させて、このメモリセル部分の面積を増加させれば、ビット線とのコンタクト部と、選択MOSTランジスタ部と、ソースライン部とを加えた面積がメモリセル部分の面積に比較して無視できる程度にすることができ、最小加工寸法の制限内で最も高集積化した半導体不揮発性記憶装置とすることができる。

【0074】上記の半導体不揮発性記憶装置の製造方法について、図8(a)中のA-A'における断面にそって説明する。まず、図10(a)に示すように、NAND型フラッシュメモリのメモリセル部と周辺回路部等と

25

を分離するためのP型のウェル等が形成されている半導体基板10表面に、熱酸化法を用いて、フローティングゲート型MOSトランジスタのトンネル絶縁膜とするゲート絶縁膜20を膜厚約10nm程度形成する。その後、例えばCVD法等により、膜厚約30~100nm程度の不純物をドーブしたポリシリコン膜あるいはアモルファスシリコン膜を堆積させ、第1フローティングゲート用層30を形成し、次に例えばCVD法等によって窒化シリコンを膜を膜厚約100~300nm程度に堆積させて、マスク層27を形成する。ここで、マスク層27としては、フローティングゲート材料のポリシリコンあるいはアモルファスシリコンおよび後述する素子分離絶縁膜材料の酸化シリコンとエッチング選択比をとることが可能な材料であればよく、窒化シリコンに限定されない。

【0075】次に、図10(b)に示すように、フォトリソグラフィ技術を用いて、マスク層27の上層にフローティングゲートのパターンのレジスト膜Rを形成し、例えばRIEなどのドライエッチングを施し、マスク層27/第1フローティングゲート用層30をパターンニングして素子分離領域のマスク層27/第1フローティングゲート用層30を除去し、SA-STIセルの素子領域を覆うマスク層27aと第1フローティングゲート用層30aを形成する。ここで、窒化シリコンのマスク層27はポリシリコン膜と比較して厚膜でも垂直加工が容易である。また、ポリシリコンあるいはアモルファスシリコンの第1フローティングゲート用層30は従来例よりも薄膜であるので、垂直加工が容易である。なお、マスク層27/第1フローティングゲート用層30のパターンニング時に、素子分離領域の第1フローティングゲート用層30下の薄いゲート絶縁膜20がエッチングされた状態となってもよい。

【0076】次に、図10(c)に示すように、上記のレジスト膜Rマスクとして、例えばECRプラズマエッチングなどにより、素子分離領域のゲート絶縁膜20および半導体基板10のエッチングを行い、素子分離用溝Tを形成する。このとき、後工程で素子分離用溝Tを絶縁体で埋め込みやすくするために、素子分離用溝Tは多少順テーパ形状に形成することが好ましい。

【0077】次に、図11(d)に示すように、レジスト膜Rを剥離し、図11(e)に示すように、ドライエッチングによる素子分離用溝T形成時のゲート絶縁膜や素子分離用溝T表面部のダメージを除去するために、まず窒素雰囲気中での熱処理を行い、続いて熱酸化を行い、素子分離用溝T表面に熱酸化膜である素子分離用溝被覆膜12を形成する。この素子分離用溝被覆膜12の膜厚は、例えば10~30nm程度とすることができるが、その後に形成されるソース・ドレインの接合におけるリーク電流を少なくするためには、できるだけ厚膜に形成することが好ましい。また、この熱酸化処理におい

26

て第1フローティングゲート用層30aの側壁部も酸化されることとなる。次に、イオン注入法を用い、例えばボロン(B)イオンをイオン注入して、素子分離領域の素子分離用溝T底部に図示しないチャネル阻止層を形成してもよい。

【0078】次に、図11(f)に示すように、例えば、TEOSガスをを用いた減圧CVD法により、膜厚約400nm程度の酸化シリコン膜(TEOS膜)を堆積し、素子分離用溝T部や第1フローティングゲート用層30a間を素子分離用層24で埋め込む。堆積する素子分離用層24の膜厚は素子分離用溝Tの幅に依存し、素子分離用溝Tの両側の壁面から成長した膜が素子分離用溝T内を埋められるだけの十分な膜厚が必要である。

【0079】次に、図12(g)に示すように、例えばマスク層27aをストップとするCMP(Chemical Mechanical Polishing)法により素子分離用層24を上面から研磨し、マスク層27aと略同一の高さの表面を有する素子分離絶縁膜24bを形成する。エッチバックにより加工することも可能であるが、その場合は素子分離絶縁膜24bの表面がマスク層27aと略同一の高さの表面となった時点でエッチングを停止するように調整する必要がある。

【0080】次に、図12(h)に示すように、素子分離絶縁膜24bおよび第1フローティングゲート用層30aに対するマスク層27aのエッチング選択比をとることができるドライエッチングあるいはウェットエッチングなどのエッチングにより、マスク層27aを除去する。これにより、後工程で第2フローティングゲートを形成するための型となる、素子分離絶縁膜24bの側壁面と第1フローティングゲート用層30aの上面で形成される凹部を形成することができる。

【0081】次に、図12(i)に示すように、例えばCVD法によりポリシリコンあるいはアモルファスシリコンを素子分離絶縁膜24bの側壁面と第1フローティングゲート用層30aの上面で形成される凹部を被覆して全面に堆積させ、第2フローティングゲート用層32を形成する。

【0082】次に、図13(j)に示すように、RIEなどのエッチングにより素子分離絶縁膜24bの側壁面と第1フローティングゲート用層30aの上面で形成される凹部の側壁面を被覆する部分の第2フローティングゲート用層32を残して全面にエッチバック除去することで、第1フローティングゲート用層30cの対向する端部上において第1フローティングゲート用層30cと接続する1対の第2フローティングゲート用層32aを形成することができる。第1フローティングゲート用層30aと第2フローティングゲート用層32aとから、フローティングゲート用層33とする。上記のエッチングにおいては、1対の第2フローティングゲート用層32aの間の部分において第1フローティングゲート用層

27

30cを完全にエッチングしてゲート絶縁膜20aを露出させないようにエッチング条件を調整する必要がある。

【0083】次に、図13(k)に示すように、例えばウェットエッチングにより、第2フローティングゲート32aの形成の際の型とした素子分離絶縁膜24bを上からエッチングして表面が下げられた素子分離絶縁膜24aとし、第2フローティングゲート32aの外壁面部分を露出させる。これにより、露出させた第2フローティングゲート32aの外壁面部分もフローティングゲートとコントロールゲートの容量結合比に寄与する表面積とすることができ、容量結合比を増加させることが可能となる。

【0084】次に、図13(l)に示すように、フローティングゲート用層33のを被覆してONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)を形成し、中間絶縁膜25とする。次に、中間絶縁膜25の上面を被覆して、例えばポリシリコンからなるコントロールゲート(ワード線)31を形成する。コントロールゲート31としては、低抵抗化のためにポリシリコンとタングステンシリサイドの積層構造などのポリサイド構造とすることもできる。ここで、コントロールゲート31の膜厚としては、後工程のドリフトソグラーフイー工程を容易に行うことが可能となるようにフローティングゲートにより形成された段差を埋めるのに十分な厚さとすることが好ましい。

【0085】次に、コントロールゲート31をマスク31としてフローティングゲート用層33および中間絶縁膜25をエッチングして、パターン加工されたフローティングゲート33aおよび中間絶縁膜25aとする。その後は、選択MOSトランジスタ部のゲート電極の形成、およびソース・ドレイン拡散層を形成するためのイオン注入工程などを行い、常法に準ずる製法によりNAND型フラッシュメモリの周辺回路部のMOSトランジスタを形成し、さらに例えばCVD法により酸化シリコンの層間絶縁膜28を形成し、例えば選択トランジスタのドレイン拡散層13'に達するコンタクトホールBCの開口、埋め込み電極34およびビット線35などの配線形成、パッシベーション膜の堆積、パッド開口部の形成等を行って、図9に示すようなSA-STIセルを用いたNAND型フラッシュメモリとする。

【0086】上記の本実施形態の半導体不揮発性記憶装置の製造方法によれば、第1フローティングゲートと、第1フローティングゲートの対向する端部上において第1フローティングゲートと接続する1対の第2フローティングゲートとからフローティングゲートを形成するので、従来の形状のフローティングゲートよりもコントロールゲートとの容量結合比に寄与する表面積を増加させ、コントロールゲートとフローティングゲートの容量結合比を増加させることが可能となる。これにより、メモリセル面積を縮小化してもコントロールゲートとフロ

28

ーティングゲートの容量結合比を必要量確保することが可能で、メモリセルの書き込み動作などにおいて誤動作を起こして品質を低下させることがなく、また、動作電圧および電源電圧の低下が可能となり、昇圧回路の面積や昇圧時間の増大の抑制が可能で、品質の高い、高集積化した半導体不揮発性記憶装置を製造することが可能となる。

【0087】以上、本発明を3形態の実施形態により説明したが、本発明はこれらの実施形態に何ら限定されるものではない。例えば、本発明の第1および第2実施形態では、第1の絶縁膜をCVD法により形成する酸化シリコン膜として説明したが、CVD法等による窒化シリコン膜やSiON膜等でもよい。また、本発明の第1実施形態では、第2の絶縁膜を構成する酸化防止膜としての窒化シリコン膜としては、 Si_3N_4 膜の他、化学量論からずれた Si_xN_y 膜であってもよい。

【0088】さらに、本発明の第2実施形態では、第2の絶縁膜として熱酸化膜やHTO膜等の酸化膜としたが、第1実施形態と同様に電子の流れを阻止する熱酸化膜やHTO膜と酸化防止膜としての窒化シリコン膜とで構成する第2の絶縁膜であってもよい。更にまた、本発明の実施形態では、コントロールゲートなどのポリサイド構造の配線をポリシリコンとタングステンシリサイド(WSi_2)膜とによるポリサイド膜として説明したが、ポリシリコン膜のみでも、又ポリシリコン膜と、 $MoSi_2$ 膜、 $CoSi_2$ 膜、 $TiSi_2$ 膜等の高融点金属シリサイド膜とによるポリサイド膜であってもよい。また、実施形態においてはNAND型の半導体不揮発性記憶装置について説明しているが、NAND型に限らず、NOR型あるいはDINOR型の半導体不揮発性記憶装置に適用することも可能である。その他、本発明の技術的思想の範囲内で、プロセス装置やプロセス条件は適宜変更が可能である。

【0089】

【発明の効果】以上の説明から明らかなように、本発明の半導体不揮発性記憶装置は、品質を向上して、高集積化に適したSA-STIセルを用いた半導体不揮発性記憶装置である。

【0090】また、本発明のSA-STIセルを用いた半導体不揮発性記憶装置の製造方法によれば、品質を向上して、高集積化に適したSA-STIセルを用いた半導体不揮発性記憶装置容易に製造することが可能である。

【図面の簡単な説明】

【図1】図1(a)は本発明の第1実施形態にかかる半導体不揮発性記憶装置の平面図であり、図1(b)はその等価回路図である。

【図2】図2は本発明の第1実施形態にかかる半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、(a)は第1の絶縁膜を形成する工程まで、(b)

29

は第2の絶縁膜を形成する工程まで、(c)はチャネル阻止層を形成する工程までを示す。

【図3】図3は図2の続きの工程を示す断面図であり、(d)は素子分離用層を形成する工程まで、(e)は素子分離絶縁膜を形成する工程まで、(f)はコントロールゲートを形成する工程までを示す。

【図4】図4は図3(f)のP部の拡大図である。

【図5】図5は本発明の第2実施形態にかかる半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、(a)は第1の絶縁膜を形成する工程まで、(b)は第2の絶縁膜を形成する工程まで、(c)はチャネル阻止層を形成する工程までを示す。

【図6】図6は図5の続きの工程を示す断面図であり、(d)は素子分離用層を形成する工程まで、(e)は素子分離絶縁膜を形成する工程まで、(f)はコントロールゲートを形成する工程までを示す。

【図7】図7は図6(f)のQ部の拡大図である。

【図8】図8(a)は本発明の第3実施形態にかかる半導体不揮発性記憶装置の平面図であり、図8(b)はその等価回路図である。

【図9】図9(a)は図8(a)のA-A'における断面図であり、図9(b)の図8(a)にB-B'における断面図である。

【図10】図10は本発明の第3実施形態にかかる半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、(a)はマスク層を形成する工程まで、(b)は第1フローティングゲートをパターン加工する工程まで、(c)は素子分離用溝を形成する工程までを示す。

【図11】図11は図10の続きの工程を示す断面図であり、(d)はレジスト膜を除去する工程まで、(e)は素子分離用溝被覆膜を形成する工程まで、(f)は素子分離用層を形成する工程までを示す。

【図12】図12は図11の続きの工程を示す断面図であり、(g)は素子分離絶縁膜を形成する工程まで、

(h)はマスク層を除去する工程まで、(i)は第2フローティングゲート用層を形成する工程までを示す。

【図13】図13は図12の続きの工程を示す断面図であり、(j)は第2フローティングゲート用層を加工する工程まで、(k)は素子分離絶縁膜の表面を低面化させる工程まで、(l)はコントロールゲートを形成する工程までを示す。

30

【図14】図14は第1従来例にかかる半導体不揮発性記憶装置の断面図である。

【図15】図15は第2従来例にかかる半導体不揮発性記憶装置の平面図であり、図15(b)はその等価回路図である。

【図16】図16(a)は図15(a)のA-A'における断面図であり、図16(b)は図15(a)のB-B'における断面図である。

【図17】図17は第2従来例にかかる半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、

(a)は第1の絶縁膜を形成する工程まで、(b)はチャネル阻止層を形成する工程まで、(c)は素子分離用層を形成する工程までを示す。

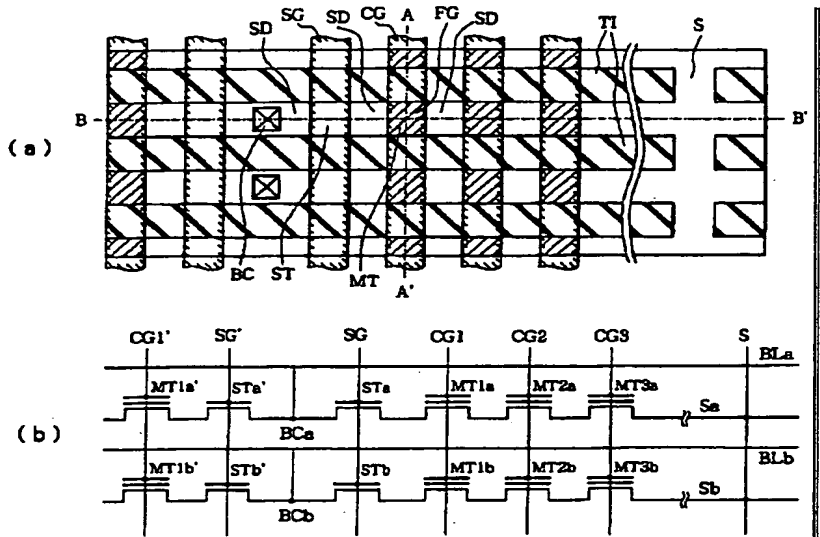
【図18】図18は図17の続きの工程を示す断面図であり、(d)は素子分離絶縁膜を形成する工程まで、(e)はコントロールゲートを形成する工程までを示す。

【図19】図19(a)は図18(f)のR部の拡大図であり、図19(b)はチャネル部の表面電位分布図である。

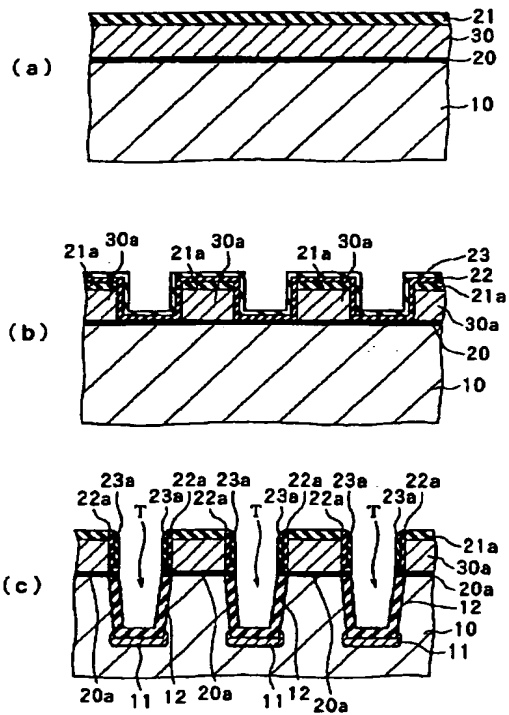
【符号の説明】

10…半導体基板、11…チャネル阻止層、12…素子分離用溝被覆膜、13、13'…ソース・ドレイン拡散層、20、20a…ゲート絶縁膜、21、21a…第1の絶縁膜、22、22a…HTO膜、23、23a…窒化シリコン膜、24…素子分離用層、24a…素子分離絶縁膜、25、25a…中間絶縁膜、26…第2の絶縁膜、27、27a…マスク層、28…層間絶縁膜、30、30a、30c…(第1)フローティングゲート用層、30b…(第1)フローティングゲート、31a…下側コントロールゲート、31b…上側コントロールゲート、31…コントロールゲート、32、32a…第2フローティングゲート用層、33…フローティングゲート用層、33a…フローティングゲート、34…埋め込み電極、35…ビット線、T…素子分離用溝、FG…フローティングゲート、CG…コントロールゲート、SD…ソース・ドレイン拡散層、SG…選択ゲート、TI…トレンチ型素子分離絶縁膜、BC…ビットコンタクト、ST…選択トランジスタ、MT…メモリトランジスタ、BLa、BLb…ビット線、S、Sa、Sb…ソース線。

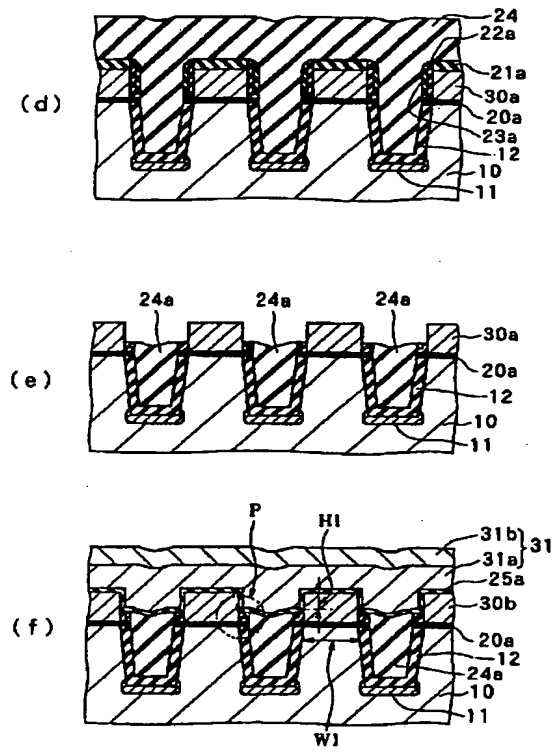
【図 1】



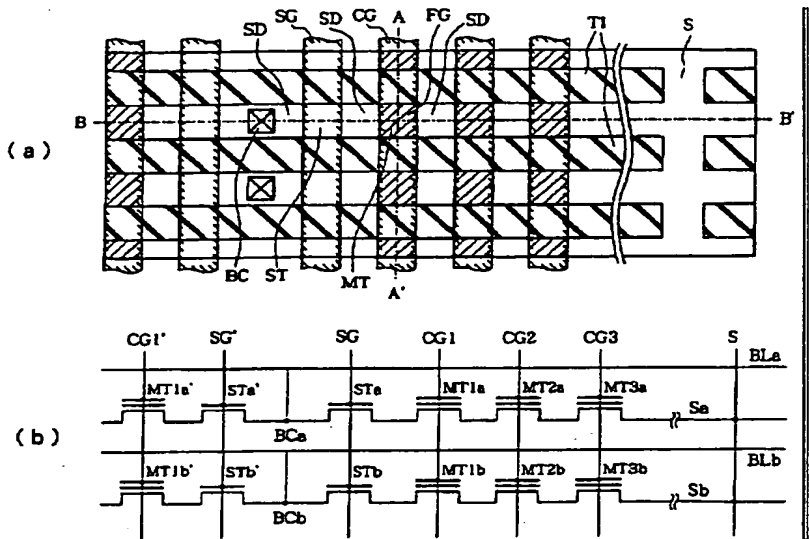
【図 2】



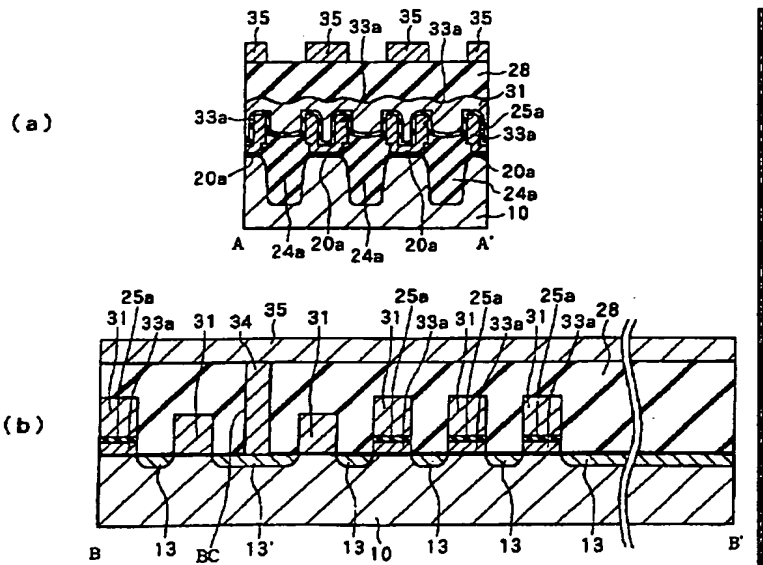
【図 3】



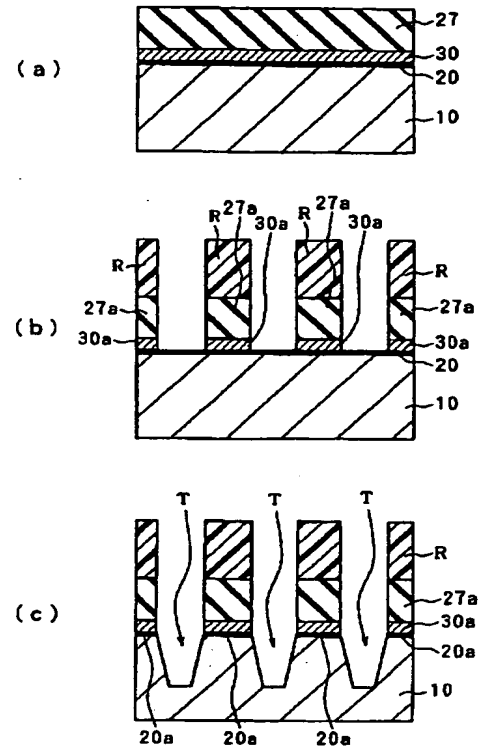
【図 8】



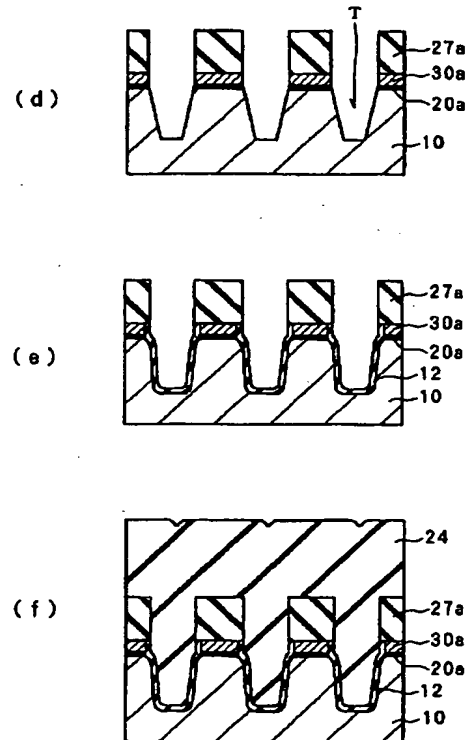
【図 9】



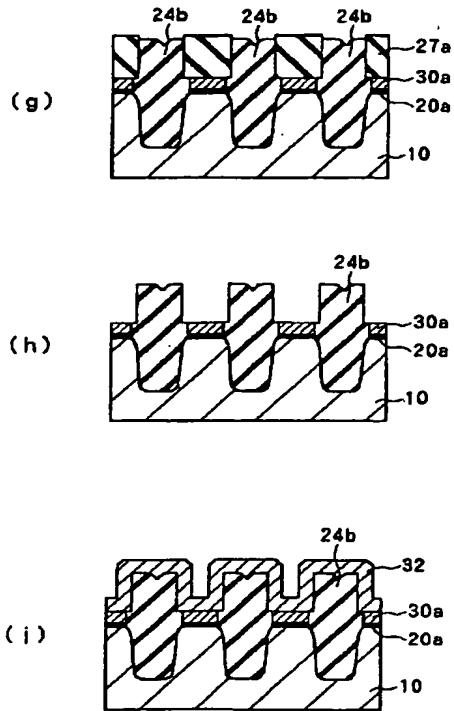
【図 10】



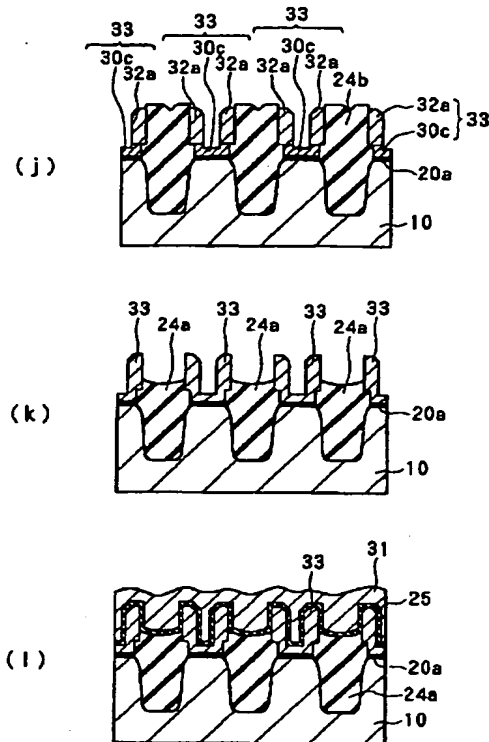
【図 11】



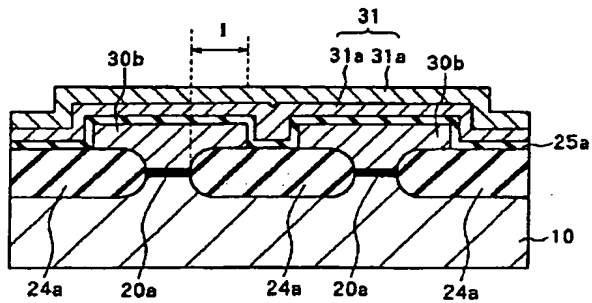
【図 12】



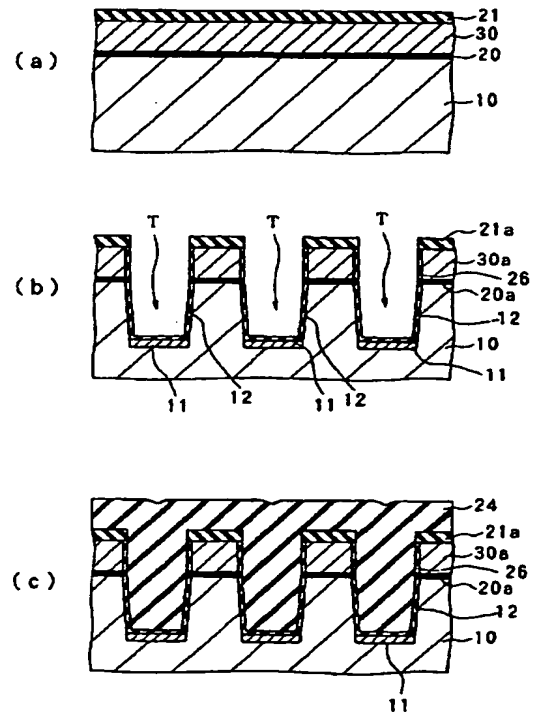
【図 13】



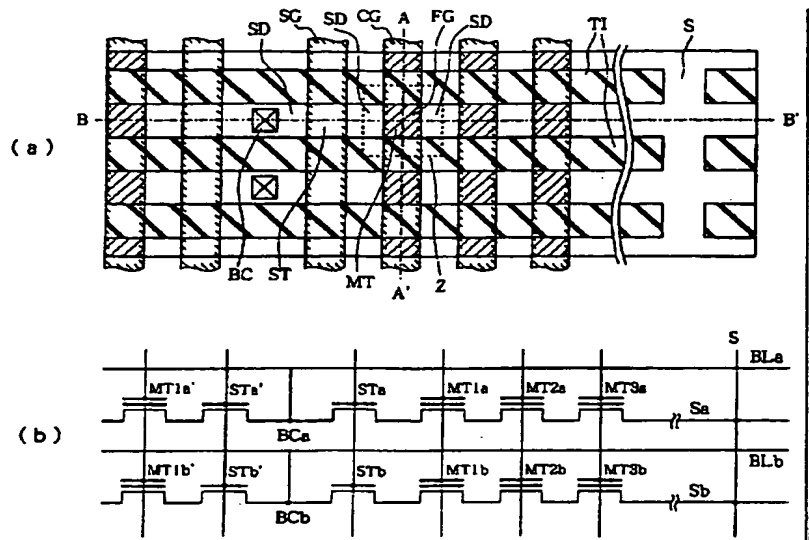
【図 14】



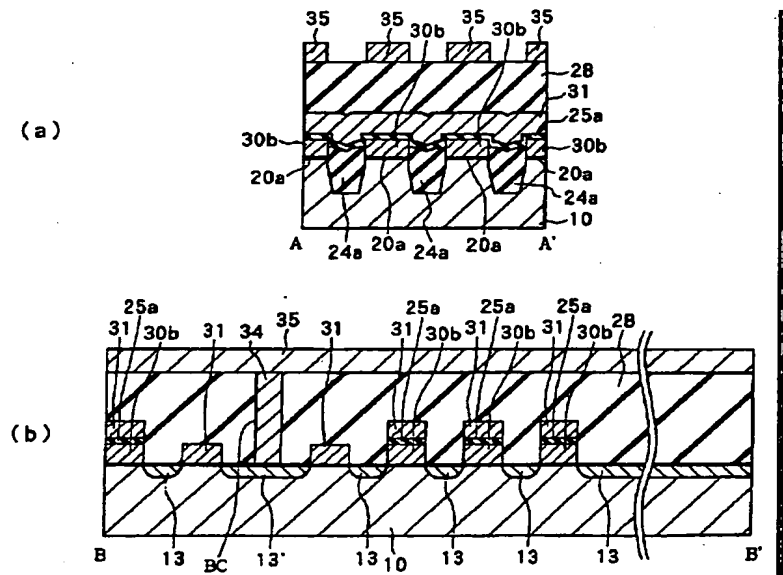
【図 17】



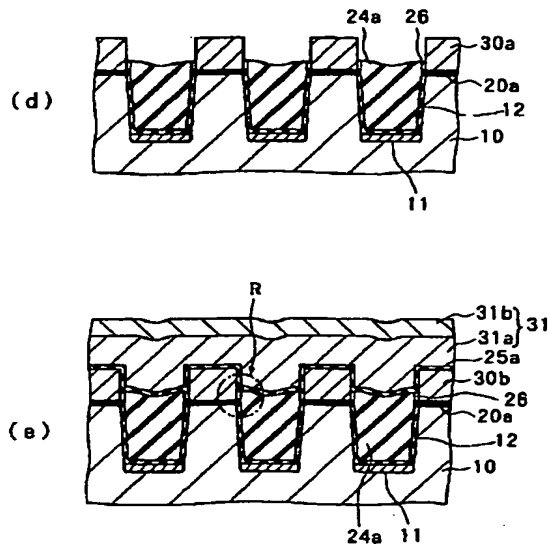
【図 15】



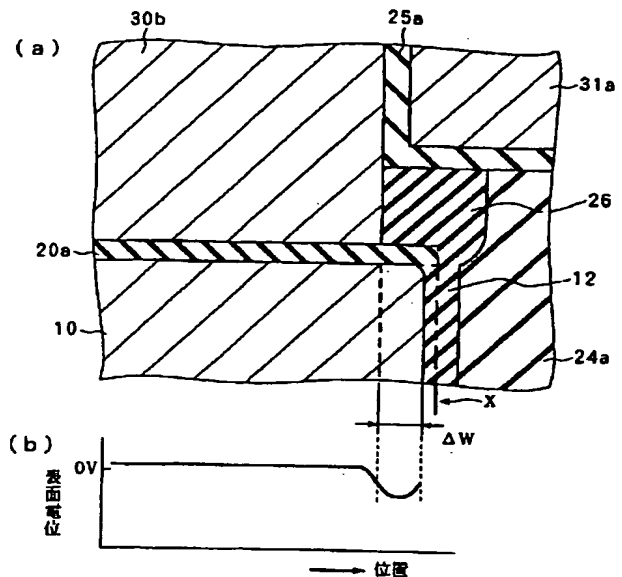
【図 16】



【図 18】



【図 19】



【手続補正書】

【提出日】平成 10 年 7 月 17 日

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体不揮発性記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】チャネル形成領域を有する半導体基板と、前記チャネル形成領域を素子分離するように前記半導体基板に形成された溝に埋め込まれた素子分離絶縁膜と、前記チャネル形成領域の上層に形成されたトンネル絶縁膜と、前記トンネル絶縁膜の上層に形成され、少なくとも対向する 2 つの端部が、当該端部間よりも高く形成されたフローティングゲートと、前記フローティングゲートを全面に被覆して形成された中間絶縁膜と、前記中間絶縁膜の上層に形成されたコントロールゲートと、前記チャネル形成領域に接続して形成されたソース・ドレイン領域とを有するメモリトランジスタを有する半導体不揮発性記憶装置。

【請求項 2】前記メモリトランジスタが複数個直列に接続されて形成されている請求項 1 記載の半導体不揮発性

記憶装置。

【請求項 3】前記フローティングゲートが、第 1 フローティングゲートと、前記第 1 フローティングゲートの対向する端部の上層に前記第 1 フローティングゲートと接続して形成された 1 対の第 2 フローティングゲートとを有する請求項 1 記載の半導体不揮発性記憶装置。

【請求項 4】チャネル形成領域を有する半導体基板上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜の上層に第 1 フローティングゲートを形成する工程と、前記第 1 フローティングゲートで挟まれた領域において前記半導体基板に素子分離用溝を形成する工程と、前記素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成する工程と、前記第 1 フローティングゲートの対向する端部上において前記第 1 フローティングゲートと接続する 1 対の第 2 フローティングゲートを形成する工程と、前記第 1 フローティングゲートおよび第 2 フローティングゲートの上層に中間絶縁膜を形成する工程と、前記中間絶縁膜の上層にコントロールゲートを形成する工程と、前記チャネル形成領域に接続するソース・ドレイン領域を形成する工程とを有する半導体不揮発性記憶装置の製造方法。

【請求項 5】前記素子分離絶縁膜を形成する工程が、前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、少なくとも前記素子分離用溝の内部に埋め込まれ

た部分を残して前記絶縁体を除去する工程とを含む請求項4記載の半導体不揮発性記憶装置の製造方法。

【請求項6】前記第1フローティングゲートを形成する工程の後、前記素子分離絶縁膜を形成する工程の前に、前記第1フローティングゲートの上層にマスク層を形成する工程をさらに有し、

前記素子分離絶縁膜を形成する工程においては、前記マスク層および前記第1フローティングゲートで挟まれた領域と前記素子分離用溝を絶縁体で埋め込んで、前記マスク層と略同一の高さの表面を有する素子分離絶縁膜を形成し、

前記素子分離絶縁膜を形成する工程の後、前記第2フローティングゲートを形成する工程の前に、前記第1フローティングゲートおよび前記素子分離絶縁膜に対してエッチング選択比を有するエッチングにより前記マスク層を除去する工程をさらに有し、

前記第2フローティングゲートを形成する工程においては、前記素子分離絶縁膜の側壁面と前記第1フローティングゲートの上面で形成される凹部を型として、前記凹部の側壁部に第2フローティングゲートを形成する請求項4記載の半導体不揮発性記憶装置の製造方法。

【請求項7】前記第2フローティングゲートを形成する工程が、前記素子分離絶縁膜の側壁面と前記第1フローティングゲートの上面で形成される凹部内面を被覆して全面に第2フローティングゲート用層を形成する工程と、前記凹部の側壁面を被覆する部分を残して前記第2フローティングゲート用層を除去する工程とを含む請求項6記載の半導体不揮発性記憶装置の製造方法。

【請求項8】前記第2フローティングゲートを形成する工程の後、前記中間絶縁膜を形成する工程の前に、前記第1および第2フローティングゲートに対してエッチング選択比を有するエッチングにより、前記第2フローティングゲートの形成の際の型とした前記素子分離絶縁膜を上面からエッチングして前記第2フローティングゲートの外壁面の一部を露出させる工程をさらに有する請求項6記載の半導体不揮発性記憶装置の製造方法。

【請求項9】前記素子分離絶縁膜を形成する工程が、前記マスク層および前記第1フローティングゲートで挟まれた領域と前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、前記マスク層および前記第1フローティングゲートで挟まれた領域と前記素子分離用溝の内部に埋め込まれた部分を残して前記絶縁体を除去する工程とを含む請求項6記載の半導体不揮発性記憶装置の製造方法。

【請求項10】前記素子分離用溝を形成する工程の後、前記素子分離絶縁膜を形成する工程の前に、前記素子分離用溝表面に被覆膜を形成する工程をさらに有する請求項4記載の半導体不揮発性記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体不揮発性記憶装置およびその製造方法に関し、さらに詳しくは、フローティングゲート型MOSトランジスタの不揮発性メモリセルを有する半導体不揮発性記憶装置およびその製造方法に関する。

【0002】

【従来の技術】近年、半導体不揮発性記憶装置として、フローティングゲート型MOSトランジスタの不揮発性メモリセルを用いたEPROM(Erasable Programmable Read-Only Memory)、EEPROM(Electrically Erasable Programmable Read-Only Memory)、EEPROMの一つで一括消去法を採る、フラッシュメモリ(Flash Memory)等が盛んに開発され、実用化もなされている。

【0003】上述したフラッシュメモリには、NOR型フラッシュメモリとNAND型フラッシュメモリがあり、前者は一個のフローティングゲート型MOSトランジスタをフラッシュメモリの一つのメモリセルとするもので、後者は複数個、例えばN個のフローティングゲート型MOSトランジスタによるメモリセルを隣接させて配置したNANDセルが一つの単位セルとなっているものである。この様なNAND型フラッシュメモリは、NOR型フラッシュメモリに比べて、ランダムアクセス速度は遅いが、高集積化の面で優れた構成となっているので、高集積化を目指したフラッシュメモリとして、近年盛んに開発され、実用化もなされているものである。

【0004】上記のフローティングゲート型の半導体不揮発性記憶装置の一例の断面図を図7に示す。例えばL₁OCOS法などにより形成した素子分離絶縁膜24aにより分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜(トンネル絶縁膜)20aが形成されており、その上層に例えばポリシリコンからなるフローティングゲート30bが形成されており、さらにその上層に例えばONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)からなる中間絶縁膜25aが形成されている。中間絶縁膜25aの上層には、例えばポリシリコンの下側コントロールゲート31aとタングステンシリサイドの上側コントロールゲート31bからなるポリサイド構造のコントロールゲート31が形成されている。また、コントロールゲート31の両側部の半導体基板10中には図示しないソース・ドレイン拡散層が形成されている。これによりコントロールゲート31と半導体基板10中のチャネル形成領域の間に、絶縁膜に被覆されたフローティングゲート30bを有する電界効果トランジスタを構成する。

【0005】上記の構造を有するフローティングゲート型の半導体不揮発性記憶装置においては、フローティングゲート30bは膜中に電荷を保持する機能を持ち、ゲ

ート絶縁膜 20 a および中間絶縁膜 25 a は電荷をフローティングゲート 30 b 中に閉じ込める役割を持つ。コントロールゲート 31、半導体基板 10 あるいはソース・ドレイン拡散層などに適当な電圧を印加すると、ファウラー・ノルドハイム型トンネル電流 (FN 電流) が生じ、ゲート絶縁膜 20 a を通して半導体基板 10 からフローティングゲート 30 b へ電荷が注入され、あるいはフローティングゲート 30 b から半導体基板 10 へ電荷が放出される。

【0006】上記のようにフローティングゲート 30 b 中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。例えば、フローティングゲート 30 b 中に電子を蓄積することでデータの消去を行い、また、フローティングゲート 30 b 中に蓄積した電子を放出することでデータを書き込みすることができる。

【0007】しかしながら、上記の従来のフローティングゲート型の半導体不揮発性記憶装置は、フローティングゲート 30 b と素子分離絶縁膜 24 a との合わせ余裕としてオーバーラップ部分 1 を有し、特に LOCOS 法による素子分離絶縁膜はバースピークを有することから素子分離幅が広くなり、分離耐圧が低下するという問題が発生し、セル面積を縮小することが困難となっていた。

【0008】上記の問題点を解決するために、素子分離領域をフローティングゲートの幅方向の端部に自己整合的に形成する SA-STI (Self-Aligned Shallow Trench Isolation) セル構造を有するフローティングゲート型の半導体不揮発性記憶装置が開発された (IEDM Tech. Dig. 1994, pp 61~64 参照)。以下に、例として SA-STI セル構造を有する NAND 型の半導体不揮発性記憶装置について説明する。図 8 (a) はその平面図である。トレンチ型の素子分離絶縁膜 TI で分離されたシリコン半導体基板の活性領域と、ワード線となるコントロールゲート CG とが交差する領域において、コントロールゲート CG とシリコン半導体基板のチャネル形成領域の間に絶縁膜に被覆されたフローティングゲート FG が形成されている。また、コントロールゲート CG の両側部の基板中にはソース・ドレイン拡散層 SD が形成されている。コントロールゲート CG と半導体基板 10 中のチャネル形成領域の間に絶縁膜に被覆されたフローティングゲート FG を有する電界効果トランジスタであるメモリトランジスタ MT が複数個直列に接続され、NAND 列を構成している。NAND 列の一方の端部には、当該 NAND 列を選択するための選択 MOS トランジスタ ST が形成されており、そのドレイン拡散層はビットコンタクト BC を介して図示しないビット線に接続している。NAND 列の一方の端部にも図示しない選択 MOS トランジスタが形

成されており、そのソース拡散層はソース線 S に接続している。

【0009】図 8 (a) の平面図に示す半導体不揮発性記憶装置の等価回路図を図 8 (b) に示す。メモリトランジスタ (MT1 a, MT2 a, MT3 a, ...) が直列に接続されて NAND 列を構成し、本 NAND 列の一方の端部には、当該 NAND 列を選択するための選択 MOS トランジスタ ST a が形成されており、そのドレイン拡散層はビットコンタクト BC a を介してビット線 BL a に接続している。NAND 列の他方の端部にも図示しない選択 MOS トランジスタが形成されており、そのソース拡散層は副ソース線 S a を介して主ソース線 S に接続している。ビット線 BL a には選択 MOS トランジスタ ST a' により選択可能なメモリトランジスタ MT1 a' などから構成される別の NAND 列も接続している。一方、メモリトランジスタ (MT1 b, MT2 b, MT3 b, ...) もまた直列に接続されて NAND 列を構成し、本 NAND 列の一方の端部には、当該 NAND 列を選択するための選択 MOS トランジスタ ST b が形成されており、そのドレイン拡散層はビットコンタクト BC b を介してビット線 BL b に接続され、NAND 列の他方の端部に形成されて図示しない選択 MOS トランジスタのソース拡散層は副ソース線 S b を介して主ソース線 S に接続している。

【0010】上記の半導体不揮発性記憶装置の図 8

(a) 中の A-A' における断面図を図 9 (a) に、B-B' における断面図を図 9 (b) に示す。図 9 (a) に示すように、トレンチ型の素子分離絶縁膜 24 a により分離された半導体基板 10 の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜 (トンネル絶縁膜) 20 a が形成されており、その上層に例えばポリシリコンからなるフローティングゲート 30 b が形成されており、さらにその上層に例えば ONO 膜 (酸化膜-窒化膜-酸化膜の積層絶縁膜) からなる中間絶縁膜 25 a が形成されている。中間絶縁膜 25 a の上面を被覆して、例えばポリシリコンからなるコントロールゲート (ワード線) 31 が形成されている。また、図 9 (b) に示すように、コントロールゲート 31 の両側部の半導体基板 10 中にはソース・ドレイン拡散層 13 が形成されている。これによりコントロールゲート 31 と、半導体基板 10 中のチャネル形成領域との間に絶縁膜に被覆されたフローティングゲート 30 b を有する電界効果トランジスタを構成する。各トランジスタは NAND 型に直列接続され、NAND ストリングを構成する。

【0011】上記の NAND ストリングの一方の端部には、例えばメモリセルにおけるコントロールゲート 31 をゲート電極として形成された選択トランジスタが接続されている。選択トランジスタおよび NAND ストリングを構成するメモリトランジスタは例えば酸化シリコンからなる層間絶縁膜 28 に被覆されている。層間絶縁膜

28には選択トランジスタのドレイン拡散層13'に達するビットコンタクトホールBCが開口されており、埋め込み電極34を介して例えばアルミニウムからなるビット線35に接続している。また、上記のNANDストリングの他方の端部には、図示しない選択トランジスタが接続されて、そのソース拡散層は例えば半導体基板10中に拡散層として形成されているソース線に接続している。

【0012】上記の半導体不揮発性記憶装置において、図9(a)に示すように、素子分離領域はチャネル幅方向のフローティングゲートの端部に自己整合的に形成した素子分離用溝(トレンチ)を用いる素子分離法、いわゆるトレンチ素子分離(SA-STI)法で形成されたものである。また、図9(a)に示すように、素子分離絶縁膜24aの表面がフローティングゲート30bの膜厚の半分より下方の位置となっているので、フローティングゲート30bに対向するコントロールゲート31の面積が、フローティングゲート30bの側壁部の寄与分で大きくなっている。

【0013】上述したSA-STIセルを設計デザインルール上の最小加工寸法(Minimum Feature Size)Fで設計すると、上述したSA-STIセルのメモリセルの面積Zは、図8(a)に示すように、理論的な最小面積である、 $Z=4F^2$ で設計できる。従って、SA-STIセル構造を用い、さらに高集積化に有利なNAND型の半導体不揮発性記憶装置とすることで、メモリセルの個数を増加させて、このメモリセル部分の面積を増加させれば、ビット線とのコンタクト部と、選択MOSトランジスタ部と、ソースライン部とを加えた面積がメモリセル部分の面積に比較して無視できる程度にすることができ、最小加工寸法の制限内で最も高集積化したフラッシュメモリが作製できる。

【0014】一方、クォータミクロン程度の最小加工寸法でフローティングゲートを形成して、フローティングゲートの厚みもクォータミクロン程度となると、フローティングゲートのチャネル幅方向の側壁面積が増加し、フローティングゲートとコントロールゲート間の容量結合比の増加に寄与する電極面積を増加させることができる。従って従来のようなフローティングゲートの素子分離領域への張り出し部分を設けなくとも、フローティングゲートに所望の電位を与えるためのコントロールゲートの電圧に関係する、フローティングゲートとコントロールゲートとの容量結合比を所望の値に確保することができる。

【0015】ここで、上述した構成の、SA-STIセルを用いたNAND型フラッシュメモリである、半導体不揮発性記憶装置の製造方法を、図10および図11を参照して説明する。まず、図10(a)に示すように、NAND型フラッシュメモリのメモリセル部と周辺回路部等とを分離するためのP型のウェル等が形成されてい

る半導体基板10表面に、例えば熱酸化法を用いて、フローティングゲート型MOSトランジスタのトンネル絶縁膜であるゲート絶縁膜20を形成する。その後、例えば減圧CVD(Chemical Vapor Deposition)法等により、不純物をドーブしたポリシリコンを堆積させてフローティングゲート用層30を形成し、さらにその上層に例えば常圧CVD法等により、酸化シリコンを堆積させて第1の絶縁膜21を形成する。

【0016】次に、図10(b)に示すように、フォトリソグラフィ技術を用いて、第1の絶縁膜21/フローティングゲート用層30/ゲート絶縁膜20をパターンニングして、素子分離領域の第1の絶縁膜21/フローティングゲート用層30/ゲート絶縁膜20を除去し、続いてパターンニングされた第1の絶縁膜21a/フローティングゲート用層30a/ゲート絶縁膜20aをマスクとして、半導体基板10表面をエッチングし、トレンチ型の素子分離用溝Tを形成する。その後、素子分離用溝T形成時のダメージを除去するために、窒素雰囲気中での熱処理を行い、続いてゲート絶縁膜20aのエッジを保護する意味も含めた熱酸化を行い、素子分離用溝Tの内壁に酸化シリコンからなる素子分離用溝被覆膜12を形成する。なお、この熱酸化時に、フローティングゲート用層30aの側壁も酸化され、酸化シリコンのフローティングゲート被覆膜26が形成される。次に、イオン注入法を用い、例えばボロン(B)イオンをイオン注入して、素子分離用溝Tの底部にチャネル阻止層11を形成する。

【0017】次に、図10(c)に示すように、例えば減圧CVD法等により、第1の絶縁膜21a、フローティングゲート用層30aを被覆して素子分離用溝Tを埋め込んで全面に酸化シリコンを堆積させて、素子分離用層24を形成する。

【0018】次に、図11(d)に示すように、例えばRIE(反応性イオンエッチング)などのエッチングにより、素子分離用層24の表面位置が、フローティングゲート用層30aの膜厚の半分程度の位置となるまで、素子分離用層24、第1の絶縁膜21aおよびフローティングゲート被覆膜26をエッチバックし、素子分離絶縁膜24aを形成する。このエッチングにおいて、フローティングゲート用層30aの側面の一部および上面の表面が露出する。次に、図11(e)に示すように、フローティングゲート用層30aの露出した表面を被覆してONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)からなる中間絶縁膜を形成する。次に、図面は省略するが、フォトリソグラフィ技術を用いて、SA-STIセルのメモリセル部以外の中間絶縁膜を除去する。次に、中間絶縁膜の上面を被覆して、例えばポリシリコンからなる下側コントロールゲート31aおよびタングステンシリサイドの上側コントロールゲート31bからなるポリサイド構造のコントロールゲート(ワード線)31を

形成し、コントロールゲートをマスク31としてフローティングゲート用層30aおよび中間絶縁膜をエッチングし、パターン加工されたフローティングゲート30bおよび中間絶縁膜25aとする。

【0019】その後は、選択MOSトランジスタ部のゲート電極の形成、およびソース・ドレイン拡散層を形成するためのイオン注入工程などを行い、常法に準ずる製法によりNAND型フラッシュメモリの周辺回路部のMOSトランジスタを形成し、さらに例えばCVD法により酸化シリコンの層間絶縁膜28を形成し、例えば選択トランジスタのドレイン拡散層13'に達するコンタクトホールBCの開口、埋め込み電極34およびビット線35などの配線形成、パッシベーション膜の堆積、パッド開口部の形成等を行って、図9(a)に示すようなSA-STIセルを用いたNAND型フラッシュメモリとする。図9(a)中、図11(e)に示してある素子分離用溝Tの内壁に形成された酸化シリコンからなる素子分離用溝被覆膜12の図示は省略している。

【0020】

【発明が解決しようとする課題】しかしながら、上記のSA-STIセル構造を有するフローティングゲート型の半導体不揮発性記憶装置は、下記の問題から、品質が低下する、あるいは高集積化が困難となるという不都合が生じることがある。

【0021】上記の半導体不揮発性記憶装置のセル構造においては、コントロールゲートとフローティングゲートの容量結合は、フローティングゲートの上面および一部の側壁部でとられている。このため、メモリセル面積をさらに縮小化していくと、コントロールゲートとフローティングゲートの容量結合比を必要量確保することが困難となってしまう。

【0022】容量結合比が必要量に達していない場合、メモリセルの正常な書き込み動作などを行うことが困難となって、半導体不揮発性記憶装置の品質が低下してしまう。正常な動作を行うためには、ゲート絶縁膜（トンネル絶縁膜）にFN電流を発生させてメモリセルデータの書き込みや消去を行う際に、大きな動作電圧が必要となる。電源電圧から動作電圧にまで昇圧させるための昇圧回路の面積の増大を招くので装置の高集積化が困難となり、さらにチップコストの上昇の要因となり、また、昇圧時間がかかることから処理速度の低下の原因となってしまう。

【0023】本発明は、上記事情を考慮してなされたものであり、従って本発明の目的は、品質を向上して、高集積化に適したSA-STIセルを用いた半導体不揮発性記憶装置およびその製造方法を提供することである。

【0024】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体不揮発性記憶装置は、チャンネル形成領域を有する半導体基板と、前記チャンネル形成領域を

素子分離するように前記半導体基板に形成された溝に埋め込まれた素子分離絶縁膜と、前記チャンネル形成領域の上層に形成されたトンネル絶縁膜と、前記トンネル絶縁膜の上層に形成され、少なくとも対向する2つの端部が、当該端部間よりも高く形成されたフローティングゲートと、前記フローティングゲートを全面に被覆して形成された中間絶縁膜と、前記中間絶縁膜の上層に形成されたコントロールゲートと、前記チャンネル形成領域に接続して形成されたソース・ドレイン領域とを有するメモリトランジスタを有する。

【0025】上記の本発明の半導体不揮発性記憶装置は、コントロールゲートと半導体基板中のチャンネル形成領域の間に、絶縁膜に被覆されたフローティングゲートを有する電界効果トランジスタ（メモリトランジスタ）を構成する。コントロールゲート、半導体基板あるいはソース・ドレイン領域などに適当な電圧を印加すると、ファウラー・ノルドハイム型トンネル電流が生じ、フローティングゲートへ電荷が注入され、あるいはフローティングゲートから半導体基板へ電荷が放出される。このようにフローティングゲートに電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。

【0026】上記の半導体不揮発性記憶装置は、SA-STI法によって素子分離絶縁膜が形成されており、LOCOS素子分離絶縁膜による素子分離よりもセル面積を縮小することが可能であり、高集積化に適している。さらにフローティングゲートが、少なくとも対向する2つの端部が、当該端部間よりも高く形成された形状であることから、従来の形状のフローティングゲートよりもコントロールゲートとの容量結合比に寄与する表面積を増加させ、コントロールゲートとフローティングゲートの容量結合比を増加させることが可能となる。これにより、メモリセル面積を縮小化してもコントロールゲートとフローティングゲートの容量結合比を必要量確保することが可能で、メモリセルの書き込み動作などにおいて誤動作を起こして品質を低下させることがなく、また、動作電圧および電源電圧の低下が可能となり、昇圧回路の面積や昇圧時間の増大の抑制が可能となる。従って、品質の高い、高集積化した半導体不揮発性記憶装置を提供することが可能となる。

【0027】上記の本発明の半導体不揮発性記憶装置は、好適には、前記メモリトランジスタが複数個直列に接続されて形成されている。NAND型などのメモリトランジスタが複数個直列に接続された半導体不揮発性記憶装置は高集積化に有利であり、メモリセルの個数を増加させて、このメモリセル部分の面積を増加させれば、ビット線とのコンタクト部と、選択MOSトランジスタ部と、ソースライン部とを加えた面積がメモリセル部分の面積に比較して無視できる程度にすることができ、最

小加工寸法の制限内で最も高集積化した半導体不揮発性記憶装置とすることができる。

【0028】上記の本発明の半導体不揮発性記憶装置は、好適には、前記フローティングゲートが、第1フローティングゲートと、前記第1フローティングゲートの対向する端部の上層に前記第1フローティングゲートと接続して形成された1対の第2フローティングゲートとを有する。これにより、少なくとも対向する2つの端部が、当該端部間よりも高く形成された形状のフローティングゲートとすることができる。

【0029】また、上記の目的を達成するために、本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜の上層に第1フローティングゲートを形成する工程と、前記第1フローティングゲートで挟まれた領域において前記半導体基板に素子分離用溝を形成する工程と、前記素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成する工程と、前記第1フローティングゲートの対向する端部上において前記第1フローティングゲートと接続する1対の第2フローティングゲートを形成する工程と、前記第1フローティングゲートおよび第2フローティングゲートの上層に中間絶縁膜を形成する工程と、前記中間絶縁膜の上層にコントロールゲートを形成する工程と、前記チャネル形成領域に接続するソース・ドレイン領域を形成する工程とを有する。

【0030】上記の本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板上にトンネル絶縁膜を形成し、トンネル絶縁膜の上層に第1フローティングゲートを形成し、第1フローティングゲートで挟まれた領域において半導体基板に素子分離用溝を形成し、素子分離用溝を絶縁体で埋め込んで素子分離絶縁膜を形成する。次に、第1フローティングゲートの対向する端部上において前記第1フローティングゲートと接続する1対の第2フローティングゲートを形成する。次に、第1フローティングゲートおよび第2フローティングゲートの上層に中間絶縁膜を形成し、中間絶縁膜の上層にコントロールゲートを形成し、チャネル形成領域に接続するソース・ドレイン領域を形成する。

【0031】上記の本発明の半導体不揮発性記憶装置の製造方法によれば、第1フローティングゲートと、第1フローティングゲートの対向する端部上において第1フローティングゲートと接続する1対の第2フローティングゲートとからフローティングゲートを形成するので、従来の形状のフローティングゲートよりもコントロールゲートとの容量結合比に寄与する表面積を増加させ、コントロールゲートとフローティングゲートの容量結合比を増加させることが可能となる。これにより、メモリセル面積を縮小化してもコントロールゲートとフローティングゲートの容量結合比を必要量確保することが可能

で、メモリセルの書き込み動作などにおいて誤動作を起こして品質を低下させることがなく、また、動作電圧および電源電圧の低下が可能となり、昇圧回路の面積や昇圧時間の増大の抑制が可能、品質の高い、高集積化した半導体不揮発性記憶装置を製造することが可能となる。

【0032】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程が、前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、少なくとも前記素子分離用溝の内部に埋め込まれた部分を残して前記絶縁体を除去する工程とを含む。これにより、SA-STI法によるトレンチ型素子分離絶縁膜を形成することができ、セル面積を縮小することが可能である。

【0033】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記第1フローティングゲートを形成する工程の後、前記素子分離絶縁膜を形成する工程の前に、前記第1フローティングゲートの上層にマスク層を形成する工程をさらに有し、前記素子分離絶縁膜を形成する工程においては、前記マスク層および前記第1フローティングゲートで挟まれた領域と前記素子分離用溝を絶縁体で埋め込んで、前記マスク層と略同一の高さの表面を有する素子分離絶縁膜を形成し、前記素子分離絶縁膜を形成する工程の後、前記第2フローティングゲートを形成する工程の前に、前記第1フローティングゲートおよび前記素子分離絶縁膜に対してエッチング選択比を有するエッチングにより前記マスク層を除去する工程をさらに有し、前記第2フローティングゲートを形成する工程においては、前記素子分離絶縁膜の側壁面と前記第1フローティングゲートの上面で形成される凹部を型として、前記凹部の側壁部に第2フローティングゲートを形成する。これにより、第1フローティングゲートと、第1フローティングゲートの対向する端部上において第1フローティングゲートと接続する1対の第2フローティングゲートとからなるフローティングゲートを容易に形成することが可能となる。

【0034】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記第2フローティングゲートを形成する工程が、前記素子分離絶縁膜の側壁面と前記第1フローティングゲートの上面で形成される凹部内面を被覆して全面に第2フローティングゲート用層を形成する工程と、前記凹部の側壁面を被覆する部分を残して前記第2フローティングゲート用層を除去する工程とを含む。これにより、素子分離絶縁膜の側壁面と第1フローティングゲートの上面で形成される凹部を型として、この凹部の側壁部に、第1フローティングゲートの対向する端部上において第1フローティングゲートと接続する1対の第2フローティングゲートを形成することができ

【0035】上記の本発明の半導体不揮発性記憶装置の

製造方法は、好適には、前記第2フローティングゲートを形成する工程の後、前記中間絶縁膜を形成する工程の前に、前記第1および第2フローティングゲートに対してエッチング選択比を有するエッチングにより、前記第2フローティングゲートの形成の際の型とした前記素子分離絶縁膜を上面からエッチングして前記第2フローティングゲートの外壁面の一部を露出させる工程をさらに有する。これにより、第2フローティングゲートの露出させた外壁面の一部もフローティングゲートとコントロールゲートの容量結合比に寄与する表面積とすることができ、容量結合比を増加させることが可能となる。

【0036】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程が、前記マスク層および前記第1フローティングゲートで挟まれた領域と前記素子分離用溝を埋め込んで全面に絶縁体を形成する工程と、前記マスク層および前記第1フローティングゲートで挟まれた領域と前記素子分離用溝の内部に埋め込まれた部分を残して前記絶縁体を除去する工程とを含む。これにより、これにより、マスク層と略同一の高さの表面を有するようにSA-STI法によるトレンチ型の素子分離絶縁膜を形成することができ、その側壁面を第2フローティングゲートを形成する際の型となる凹部を構成するように形成することができる。

【0037】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離用溝を形成する工程の後、前記素子分離絶縁膜を形成する工程の前に、前記素子分離用溝表面に被覆膜を形成する工程をさらに有する。これにより、素子分離用溝形成時のダメージを除去し、また、ゲート絶縁膜のエッジを保護することができる。

【0038】

【発明の実施の形態】以下、本発明の具体的実施形態につき、添付図面を参照して説明する。なお従来技術の説明で参照した図7～図11中の構成部分と同様の構成部分には、同一の参照符号を付すものとする。

【0039】本実施形態は、SA-STIセルを用いたNAND型フラッシュメモリである半導体不揮発性記憶装置の製造方法に本発明を適用した形態である。図1

(a)はその平面図である。トレンチ型の素子分離絶縁膜TIで分離されたシリコン半導体基板の活性領域と、ワード線となるコントロールゲートCGとが交差する領域において、コントロールゲートCGとシリコン半導体基板のチャネル形成領域の間に絶縁膜に被覆されたフローティングゲートFGが形成されている。また、コントロールゲートCGの両側部の基板中にはソース・ドレイン拡散層SDが形成されている。コントロールゲートCGと半導体基板10中のチャネル形成領域の間に絶縁膜に被覆されたフローティングゲートFGを有する電界効果トランジスタであるメモリトランジスタMTが複数個

直列に接続され、NAND列を構成している。NAND列の一方の端部には、当該NAND列を選択するための選択MOSトランジスタSTが形成されており、そのドレイン拡散層はビットコンタクトBCを介して図示しないビット線に接続している。NAND列の一方の端部にも図示しない選択MOSトランジスタが形成されており、そのソース拡散層はソース線Sに接続している。

【0040】図1(a)の平面図に示す半導体不揮発性記憶装置の等価回路図を図1(b)に示す。メモリトランジスタ(MT1a, MT2a, MT3a, ...)が直列に接続されてNAND列を構成し、本NAND列の一方の端部には、当該NAND列を選択するための選択MOSトランジスタSTaが形成されており、そのドレイン拡散層はビットコンタクトBCaを介してビット線BLaに接続している。NAND列の他方の端部にも図示しない選択MOSトランジスタが形成されており、そのソース拡散層は副ソース線Saを介して主ソース線Sに接続している。ビット線BLaには選択MOSトランジスタSTa'により選択可能なメモリトランジスタMT1a'などから構成される別のNAND列も接続している。一方、メモリトランジスタ(MT1b, MT2b, MT3b, ...)もまた直列に接続されてNAND列を構成し、本NAND列の一方の端部には、当該NAND列を選択するための選択MOSトランジスタSTbが形成されており、そのドレイン拡散層はビットコンタクトBCbを介してビット線BLbに接続され、NAND列の他方の端部に形成されて図示しない選択MOSトランジスタのソース拡散層は副ソース線Sbを介して主ソース線Sに接続している。

【0041】上記の半導体不揮発性記憶装置の図1

(a)中のA-A'における断面図を図2(a)に、B-B'における断面図を図2(b)に示す。図2(a)に示すように、トレンチ型の素子分離絶縁膜24aにより分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜(トンネル絶縁膜)20aが形成されており、その上層に例えばポリシリコンからなるフローティングゲート33aが形成されている。ここで、フローティングゲート33aは、少なくとも対向する2つの端部が、当該端部間よりも高く形成された形状となっている。さらにフローティングゲート33aの上層に例えばONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)からなる中間絶縁膜25aが形成されている。中間絶縁膜25aの上面を被覆して、例えばポリシリコンからなるコントロールゲート(ワード線)31が形成されている。また、図2(b)に示すように、コントロールゲート31の両側部の半導体基板10中にはソース・ドレイン拡散層13が形成されている。これによりコントロールゲート31と、半導体基板10中のチャネル形成領域との間に絶縁膜に被覆されたフローティングゲート30bを有する電界効果トランジスタ

を構成する。各トランジスタはNAND型に直列接続され、NANDストリングを構成する。

【0042】上記のNANDストリングの一方の端部には、例えばメモリセルにおけるコントロールゲート31をゲート電極として形成された選択トランジスタが接続されている。選択トランジスタおよびNANDストリングを構成するメモリトランジスタは例えば酸化シリコンからなる層間絶縁膜28に被覆されている。層間絶縁膜28には選択トランジスタのドレイン拡散層13'に達するビットコンタクトホールBCが開口されており、埋め込み電極34を介して例えばアルミニウムからなるビット線35に接続している。また、上記のNANDストリングの他方の端部には、図示しない選択トランジスタが接続されて、そのソース拡散層は例えば半導体基板10中に拡散層として形成されているソース線に接続している。

【0043】上記の半導体不揮発性記憶装置において、図2(a)に示すように、素子分離領域はチャネル幅方向のフローティングゲートの端部に自己整合的に形成した素子分離用溝(トレンチ)を用いる素子分離法、いわゆるトレンチ素子分離(SA-STI)法で形成されたものであり、高集積化に適した構造となっている。また、フローティングゲート33aが、少なくとも対向する2つの端部が、当該端部間よりも高く形成された形状となっており、従来の形状のフローティングゲートよりもコントロールゲートとの容量結合比に寄与する表面積を増加させ、コントロールゲートとフローティングゲートの容量結合比を増加させることが可能となる。これにより、メモリセル面積を縮小化してもコントロールゲートとフローティングゲートの容量結合比を必要量確保することが可能で、メモリセルの書き込み動作などにおいて誤動作を起こして品質を低下させることがなく、また、動作電圧および電源電圧の低下が可能となり、昇圧回路の面積や昇圧時間の増大の抑制が可能となり、品質の高い、高集積化した半導体不揮発性記憶装置である。

【0044】また、各メモリトランジスタが複数個直列に接続された半導体不揮発性記憶装置であるので高集積化に有利であり、メモリセルの個数を増加させて、このメモリセル部分の面積を増加させれば、ビット線とのコンタクト部と、選択MOSトランジスタ部と、ソースライン部とを加えた面積がメモリセル部分の面積に比較して無視できる程度にすることができ、最小加工寸法の制限内で最も高集積化した半導体不揮発性記憶装置とすることができる。

【0045】上記の半導体不揮発性記憶装置の製造方法について、図1(a)中のA-A'における断面にそって説明する。まず、図3(a)に示すように、NAND型フラッシュメモリのメモリセル部と周辺回路部等とを分離するためのP型のウェル等が形成されている半導体基板10表面に、熱酸化法を用いて、フローティングゲ

ート型MOSトランジスタのトンネル絶縁膜とするゲート絶縁膜20を膜厚約10nm程度形成する。その後、例えばCVD法等により、膜厚約30~100nm程度の不純物をドーブしたポリシリコン膜あるいはアモルファスシリコン膜を堆積させ、第1フローティングゲート用層30を形成し、次に例えばCVD法等によって窒化シリコンを膜を膜厚約100~300nm程度に堆積させて、マスク層27を形成する。ここで、マスク層27としては、フローティングゲート材料のポリシリコンあるいはアモルファスシリコンおよび後述する素子分離絶縁膜材料の酸化シリコンとエッチング選択比をとることが可能な材料であればよく、窒化シリコンに限定されない。

【0046】次に、図3(b)に示すように、フォトリソグラフィ技術を用いて、マスク層27の上層にフローティングゲートのパターンのレジスト膜Rを形成し、例えばRIEなどのドライエッチングを施し、マスク層27/第1フローティングゲート用層30をパターンニングして素子分離領域のマスク層27/第1フローティングゲート用層30を除去し、SA-STIセルの素子領域を覆うマスク層27aと第1フローティングゲート用層30aを形成する。ここで、窒化シリコンのマスク層27はポリシリコン膜と比較して厚膜でも垂直加工が容易である。また、ポリシリコンあるいはアモルファスシリコンの第1フローティングゲート用層30は従来例よりも薄膜であるので、垂直加工が容易である。なお、マスク層27/第1フローティングゲート用層30のパターンニング時に、素子分離領域の第1フローティングゲート用層30下の薄いゲート絶縁膜20がエッチングされた状態となってもよい。

【0047】次に、図3(c)に示すように、上記のレジスト膜Rマスクとして、例えばECRプラズマエッチングなどにより、素子分離領域のゲート絶縁膜20および半導体基板10のエッチングを行い、素子分離用溝Tを形成する。このとき、後工程で素子分離用溝Tを絶縁体で埋め込みやすくするために、素子分離用溝Tは多少順テーパ形状に形成することが好ましい。

【0048】次に、図4(d)に示すように、レジスト膜Rを剥離し、図4(e)に示すように、ドライエッチングによる素子分離用溝T形成時のゲート絶縁膜や素子分離用溝T表面部のダメージを除去するために、まず窒素雰囲気中での熱処理を行い、続いて熱酸化を行い、素子分離用溝T表面に熱酸化膜である素子分離用溝被覆膜12を形成する。この素子分離用溝被覆膜12の膜厚は、例えば10~30nm程度とすることができるが、その後に形成されるソース・ドレインの接合におけるリーク電流を少なくするためには、できるだけ厚膜に形成することが好ましい。また、この熱酸化処理において第1フローティングゲート用層30aの側壁部も酸化されることとなる。次に、イオン注入法を用い、例えばポロ

ン(B)イオンをイオン注入して、素子分離領域の素子分離用溝T底部に図示しないチャネル阻止層を形成してもよい。

【0049】次に、図4(f)に示すように、例えば、TEOSガス等を用いた減圧CVD法により、膜厚約400nm程度の酸化シリコン膜(TEOS膜)を堆積し、素子分離用溝T部や第1フローティングゲート用層30a間を素子分離用層24で埋め込む。堆積する素子分離用層24の膜厚は素子分離用溝Tの幅に依存し、素子分離用溝Tの両側の壁面から成長した膜が素子分離用溝T内を埋められるだけの十分な膜厚が必要である。

【0050】次に、図5(g)に示すように、例えばマスク層27aをストップとするCMP(Chemical Mechanical Polishing)法により素子分離用層24を上面から研磨し、マスク層27aと略同一の高さの表面を有する素子分離絶縁膜24bを形成する。エッチバックにより加工することも可能であるが、その場合は素子分離絶縁膜24bの表面がマスク層27aと略同一の高さの表面となった時点でエッチングを停止するように調整する必要がある。

【0051】次に、図5(h)に示すように、素子分離絶縁膜24bおよび第1フローティングゲート用層30aに対するマスク層27aのエッチング選択比をとることができるドライエッチングあるいはウェットエッチングなどのエッチングにより、マスク層27aを除去する。これにより、後工程で第2フローティングゲートを形成するための型となる、素子分離絶縁膜24bの側壁面と第1フローティングゲート用層30aの上面で形成される凹部を形成することができる。

【0052】次に、図5(i)に示すように、例えばCVD法によりポリシリコンあるいはアモルファスシリコンを素子分離絶縁膜24bの側壁面と第1フローティングゲート用層30aの上面で形成される凹部を被覆して全面に堆積させ、第2フローティングゲート用層32を形成する。

【0053】次に、図6(j)に示すように、RIEなどのエッチングにより素子分離絶縁膜24bの側壁面と第1フローティングゲート用層30aの上面で形成される凹部の側壁面を被覆する部分の第2フローティングゲート用層32を残して全面にエッチバック除去することで、第1フローティングゲート用層30cの対向する端部上において第1フローティングゲート用層30cと接続する1対の第2フローティングゲート用層32aを形成することができる。第1フローティングゲート用層30aと第2フローティングゲート用層32aとから、フローティングゲート用層33とする。上記のエッチングにおいては、1対の第2フローティングゲート用層32aの間の部分において第1フローティングゲート用層30cを完全にエッチングしてゲート絶縁膜20aを露出させないようにエッチング条件を調整する必要がある。

【0054】次に、図6(k)に示すように、例えばウェットエッチングにより、第2フローティングゲート32aの形成の際の型とした素子分離絶縁膜24bを上面からエッチングして表面が下げられた素子分離絶縁膜24aとし、第2フローティングゲート32aの外壁面部分を露出させる。これにより、露出させた第2フローティングゲート32aの外壁面部分もフローティングゲートとコントロールゲートの容量結合比に寄与する表面積とすることができ、容量結合比を増加させることが可能となる。

【0055】次に、図6(l)に示すように、フローティングゲート用層33のを被覆してONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)を形成し、中間絶縁膜25とする。次に、中間絶縁膜25の上面を被覆して、例えばポリシリコンからなるコントロールゲート(ワード線)31を形成する。コントロールゲート31としては、低抵抗化のためにポリシリコンとタングステンシリサイドの積層構造などのポリサイド構造とすることもできる。ここで、コントロールゲート31の膜厚としては、後工程でのリソグラフィ工程を容易に行うことが可能となるようにフローティングゲートにより形成された段差を埋めるのに十分な厚さとすることが好ましい。

【0056】次に、コントロールゲート31をマスク31としてフローティングゲート用層33および中間絶縁膜25をエッチングして、パターン加工されたフローティングゲート33aおよび中間絶縁膜25aとする。その後は、選択MOSトランジスタ部のゲート電極の形成、およびソース・ドレイン拡散層を形成するためのイオン注入工程などを行い、常法に準ずる製法によりNAND型フラッシュメモリの周辺回路部のMOSトランジスタを形成し、さらに例えばCVD法により酸化シリコンの層間絶縁膜28を形成し、例えば選択トランジスタのドレイン拡散層13'に達するコンタクトホールBCの開口、埋め込み電極34およびビット線35などの配線形成、パッシベーション膜の堆積、パッド開口部の形成等を行って、図2に示すようなSA-STIセルを用いたNAND型フラッシュメモリとする。

【0057】上記の本実施形態の半導体不揮発性記憶装置の製造方法によれば、第1フローティングゲートと、第1フローティングゲートの対向する端部上において第1フローティングゲートと接続する1対の第2フローティングゲートとからフローティングゲートを形成するので、従来の形状のフローティングゲートよりもコントロールゲートとの容量結合比に寄与する表面積を増加させ、コントロールゲートとフローティングゲートの容量結合比を増加させることが可能となる。これにより、メモリセル面積を縮小化してもコントロールゲートとフローティングゲートの容量結合比を必要量確保することが可能で、メモリセルの書き込み動作などにおいて誤動作を起こして品質を低下させることがなく、また、動作電

圧および電源電圧の低下が可能となり、昇圧回路の面積や昇圧時間の増大の抑制が可能な、品質の高い、高集積化した半導体不揮発性記憶装置を製造することが可能となる。

【0058】以上、本発明を実施形態により説明したが、本発明は上記の実施形態に何ら限定されるものではない。例えば、コントロールゲートなどのポリサイド構造の配線をポリシリコンとタングステンシリサイド (WSi_2) 膜とによるポリサイド膜として説明したが、ポリシリコン膜のみでも、又ポリシリコン膜と、 $MoSi_2$ 膜、 $CoSi_2$ 膜、 $TiSi_2$ 膜等の高融点金属シリサイド膜とによるポリサイド膜であってもよい。また、実施形態においてはNAND型の半導体不揮発性記憶装置について説明しているが、NAND型に限らず、NOR型あるいはDINOR型の半導体不揮発性記憶装置に適用することも可能である。その他、本発明の技術的思想の範囲内で、プロセス装置やプロセス条件は適宜変更が可能である。

【0059】

【発明の効果】以上の説明から明らかなように、本発明の半導体不揮発性記憶装置は、品質を向上して、高集積化に適したSA-STIセルを用いた半導体不揮発性記憶装置である。

【0060】また、本発明のSA-STIセルを用いた半導体不揮発性記憶装置の製造方法によれば、品質を向上して、高集積化に適したSA-STIセルを用いた半導体不揮発性記憶装置容易に製造することが可能である。

【図面の簡単な説明】

【図1】図1(a)は本発明の実施形態にかかる半導体不揮発性記憶装置の平面図であり、図1(b)はその等価回路図である。

【図2】図2(a)は図1(a)のA-A'における断面図であり、図2(b)の図1(a)にB-B'における断面図である。

【図3】図3は本発明の実施形態にかかる半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、(a)はマスク層を形成する工程まで、(b)は第1フローティングゲートをパターン加工する工程まで、(c)は素子分離用溝を形成する工程までを示す。

【図4】図4は図3の続きの工程を示す断面図であり、(d)はレジスト膜を除去する工程まで、(e)は素子分離用溝被覆膜を形成する工程まで、(f)は素子分離用層を形成する工程までを示す。

【図5】図5は図4の続きの工程を示す断面図であり、(g)は素子分離絶縁膜を形成する工程まで、(h)はマスク層を除去する工程まで、(i)は第2フローティ

ングゲート用層を形成する工程までを示す。

【図6】図6は図5の続きの工程を示す断面図であり、(j)は第2フローティングゲート用層を加工する工程まで、(k)は素子分離絶縁膜の表面を低面化させる工程まで、(l)はコントロールゲートを形成する工程までを示す。

【図7】図7は第1従来例にかかる半導体不揮発性記憶装置の断面図である。

【図8】図8は第2従来例にかかる半導体不揮発性記憶装置の平面図であり、図8(b)はその等価回路図である。

【図9】図9(a)は図8(a)のA-A'における断面図であり、図9(b)は図8(a)のB-B'における断面図である。

【図10】図10は第2従来例にかかる半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、

(a)は第1の絶縁膜を形成する工程まで、(b)はチャネル阻止層を形成する工程まで、(c)は素子分離用層を形成する工程までを示す。

【図11】図11は図10の続きの工程を示す断面図であり、(d)は素子分離絶縁膜を形成する工程まで、

(e)はコントロールゲートを形成する工程までを示す。

【符号の説明】

10…半導体基板、11…チャネル阻止層、12…素子分離用溝被覆膜、13, 13'…ソース・ドレイン拡散層、20, 20a…ゲート絶縁膜、24…素子分離用層、24a…素子分離絶縁膜、25, 25a…中間絶縁膜、27, 27a…マスク層、28…層間絶縁膜、30, 30a, 30c…(第1)フローティングゲート用層、30b…(第1)フローティングゲート、31a…下側コントロールゲート、31b…上側コントロールゲート、31…コントロールゲート、32, 32a…第2フローティングゲート用層、33…フローティングゲート用層、33a…フローティングゲート、34…埋め込み電極、35…ビット線、T…素子分離用溝、FG…フローティングゲート、CG…コントロールゲート、SD…ソース・ドレイン拡散層、SG…選択ゲート、TI…トレンチ型素子分離絶縁膜、BC…ビットコンタクト、ST…選択トランジスタ、MT…メモリトランジスタ、BLa, BLb…ビット線、S, Sa, Sb…ソース線。

【手続補正3】

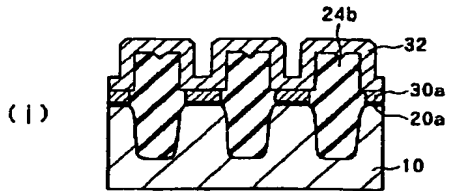
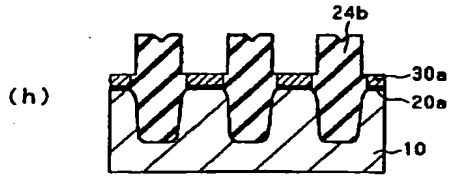
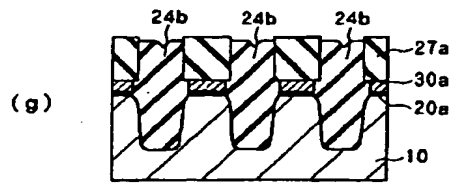
【補正対象書類名】図面

【補正対象項目名】全図

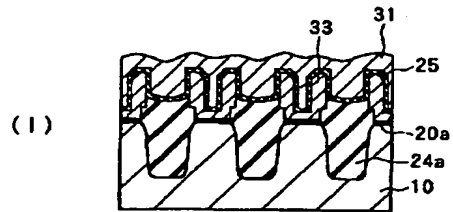
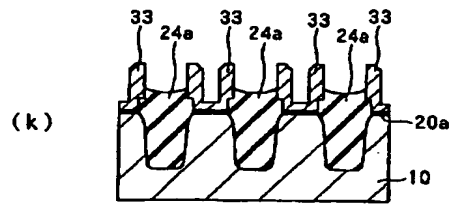
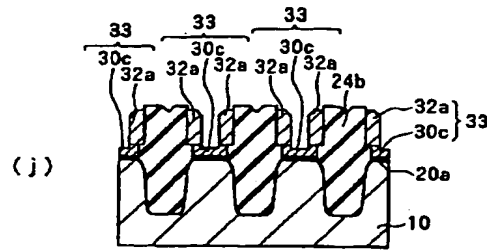
【補正方法】変更

【補正内容】

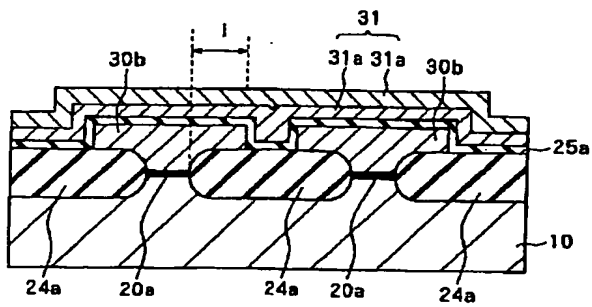
【図 5】



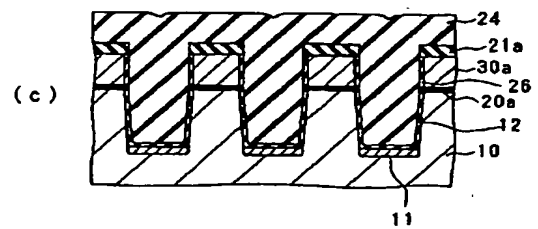
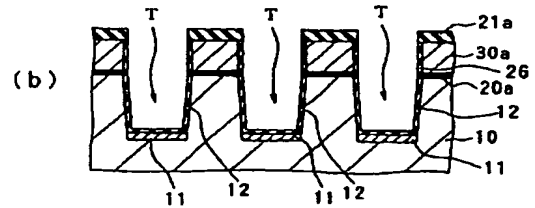
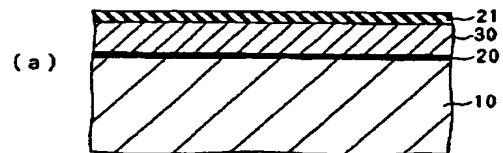
【図 6】



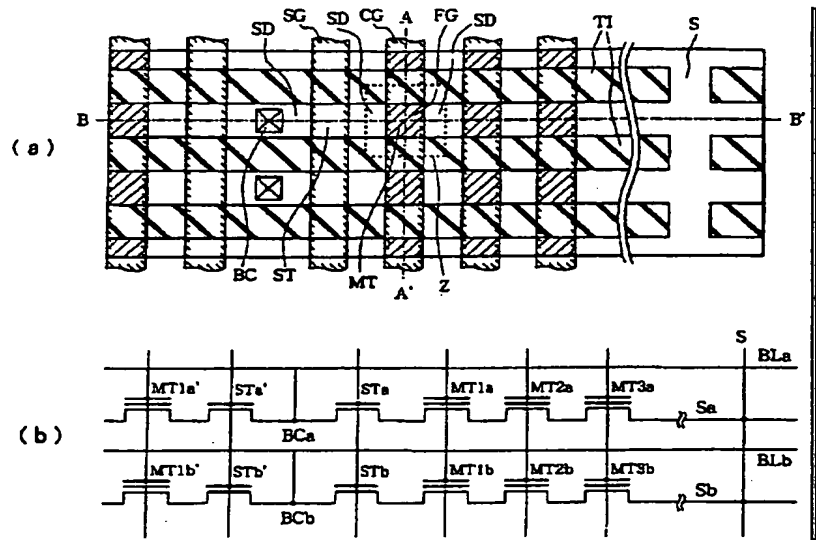
【図 7】



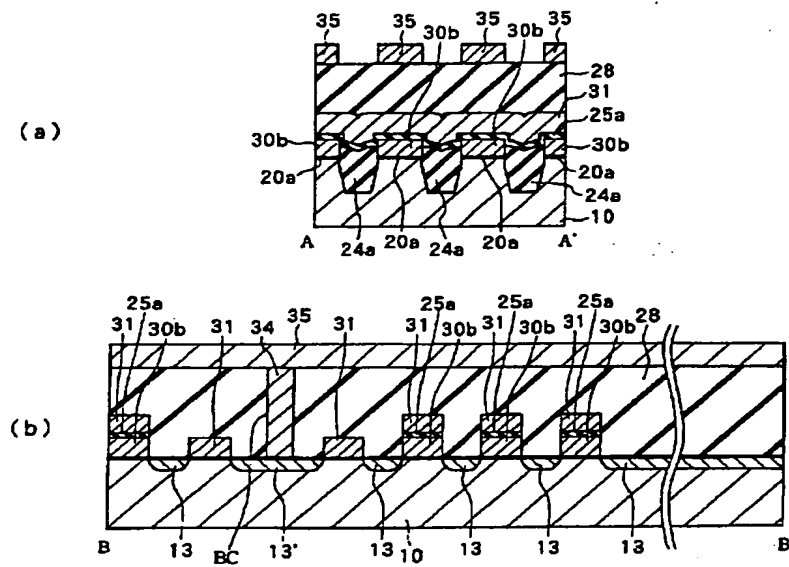
【図 10】



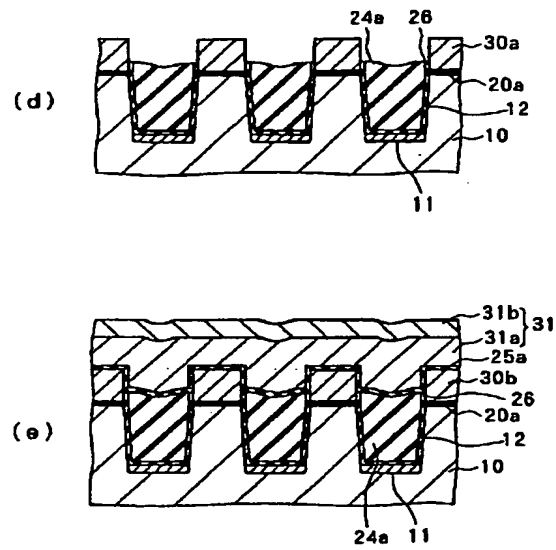
【図 8】



【図 9】



【図 11】



フロントページの続き

(51) Int. Cl. 6
H01L 29/792

識別記号

F I